

# 半导体行业专题： 先进封装超越摩尔定律，晶圆厂和封测厂齐发力

行业研究 · 行业专题

电子 · 半导体

投资评级：优于大市（维持）

证券分析师：胡剑

021-60893306

hujian1@guosen.com.cn

S0980521080001

证券分析师：胡慧

021-60871321

huhui2@guosen.com.cn

S0980521080002

证券分析师：叶子

0755-81982153

yezi3@guosen.com.cn

S0980522100003

证券分析师：詹浏洋

010-88005307

zhanliuyang@guosen.com.cn

S0980524060001

联系人：李书颖

0755-81982362

lishuying@guosen.com.cn

## ● 后摩尔时代，先进封装获重视

一方面，当前先进芯片发展面临“存储墙”“面积墙”“功耗墙”和“功能墙”，仅依靠先进制程无法解决，先进封装成为重要助力。另一方，随着工艺制程进入10nm以下，芯片设计成本快速提高。根据IBS的数据，16nm工艺的芯片设计成本为1.06亿美元，5nm增至5.42亿美元。同时，由于先进制程越来越接近物理极限，摩尔定律明显放缓，侧重封装技术的More than Moore路径越来越被重视。根据Yole的预测，2023年全球先进封装营收为378亿美元，2029年增长到695亿美元，2023-2029年的CAGR达10.7%。其中2.5D/3D封装增速最快；高端封装市场规模将从2023年的43亿美元增长至2029年的280亿美元，CAGR达37%；先进封装领域资本开支将从2023年的99亿美元提高至2024年的115亿美元。

## ● 先进封装技术多样，目的是提高集成度和性能并降低成本

先进封装技术包括FO（扇外型封装）、WLCSP（晶圆级芯片规模封装）、FCCSP（倒装芯片级封装）、FCBGA（倒装芯片球栅阵列封装）、2.5D封装、3D封装、ED（芯片封装）、SiP（系统级封装）等。相比传统封装技术，先进封装由有线变为无线，从芯片级封装拓展至晶圆级封装，从单芯片封装拓展至多芯片封装，从2D封装拓展至2.5D/3D封装，从而缩小封装体积、增加I/O数、提高集成度和性能，并降低成本。Chiplet（芯粒/小芯片）是后摩尔时代的重要路径，相比SoC，具有更高的灵活性、可扩展性和模块化，根据market.us的预测，全球Chiplet市场规模将由2023年的31亿美元增长至2033年的1070亿美元，CAGR约42.5%。

- 晶圆厂和封测厂均积极布局先进封装，相互之间既有竞争也有合作

晶圆厂依靠前道工艺优势入局先进封装。先进封装，尤其是高端封装的实现越来越依赖前道技术，台积电、英特尔和三星等晶圆厂优势突出，凭借先进封装需求走高，2023年台积电、英特尔、三星的封装收入分别位列全球第三到第五。

- **台积电**：2008年成立集成互连与封装技术整合部门，专门研究先进封装技术，重心发展扇外型封装InFO、2.5D封装CoWoS和3D封装SoIC。英伟达H100、A100、B100均采用CoWoS封装，在AI强劲需求背景下，台积电CoWoS产能持续紧张，除持续扩产外，台积电也积极与OSAT厂商合作。台积电表示未来只会专注最前沿的后道技术。
- **三星**：提供2.5D封装I-Cube、3D封装X-Cube等，2022年12月在半导体业务部门内成立先进封装（AVP）业务团队，2024年7月AVP业务团队重组为AVP开发团队，以加强2.5D、3D等先进封装技术。
- **英特尔**：提供2.5D封装EMIB、3D封装Foveros等。

OSAT厂商发力先进封装以获取价值增量。相比传统封装，先进封装不仅需求增速更高，在产业链中的价值占比也更高，传统OSAT（Outsourced Semiconductor Assembly and Testing，委外半导体封测）大厂如日月光、长电科技等为了获取更高的市场份额和价值量，均在大力发展先进封装技术，2023年前六大OSAT厂商约41%资本开支投向了先进封装。

- **投资策略**：推荐长电科技、通富微电、伟测科技等。

- **风险提示**：国产替代进程不及预期；下游需求不及预期；行业竞争加剧的风险；国际关系发生不利变化的风险。

01

后摩尔时代，先进封装获重视

02

晶圆厂依靠前道工艺优势入局先进封装

03

OSAT厂商发力先进封装以获取价值增量

04

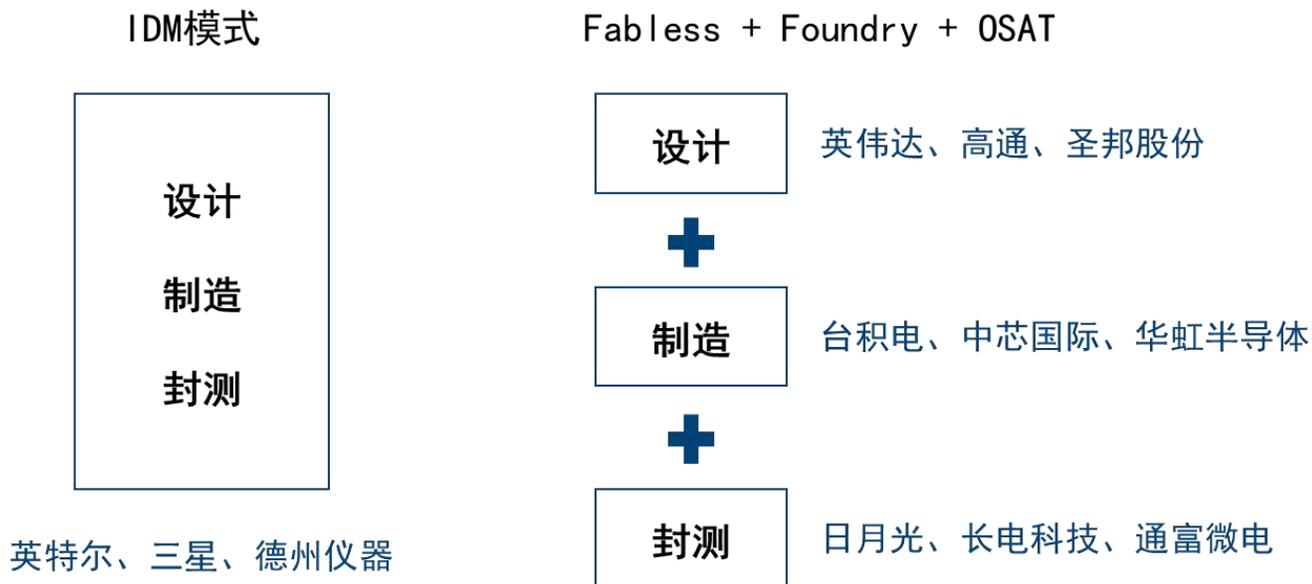
先进封装标的推荐

## 后摩尔时代，先进封装获重视

# 芯片封装测试随半导体产业发展重要性日渐提升

- **芯片封装和测试是芯片制造的关键一环。**芯片封装是用特定材料、工艺技术对芯片进行安放、固定、密封，保护芯片性能，并将芯片上的接点连接到封装外壳上，实现芯片内部功能的外部延伸。芯片封装完成后，芯片测试确保封装的芯片符合性能要求。通常认为，集成电路封装主要有电气特性的保持、芯片保护、应力缓和及尺寸调整配合四大功能。
- **半导体产业垂直分工造就专业委外封装测试企业(OSAT)。**半导体企业的经营模式分为IDM（垂直整合制造）和垂直分工两种主要模式。IDM模式企业内部完成芯片设计、制造、封测全环节，具备产业链整合优势。垂直分工模式芯片设计、制造、封测分别由芯片设计企业（Fabless）、晶圆代工厂（Foundry）、封测厂（OSAT）完成，形成产业链协同效应。

图：半导体企业的主要经营模式



资料来源：华虹公司招股说明书，国信证券经济研究所整理

请务必阅读正文之后的免责声明及其项下所有内容

图：半导体封装工艺示意



资料来源：上海新阳招股说明书，国信证券经济研究所整理

# 芯片封装测试随半导体产业发展重要性日渐提升

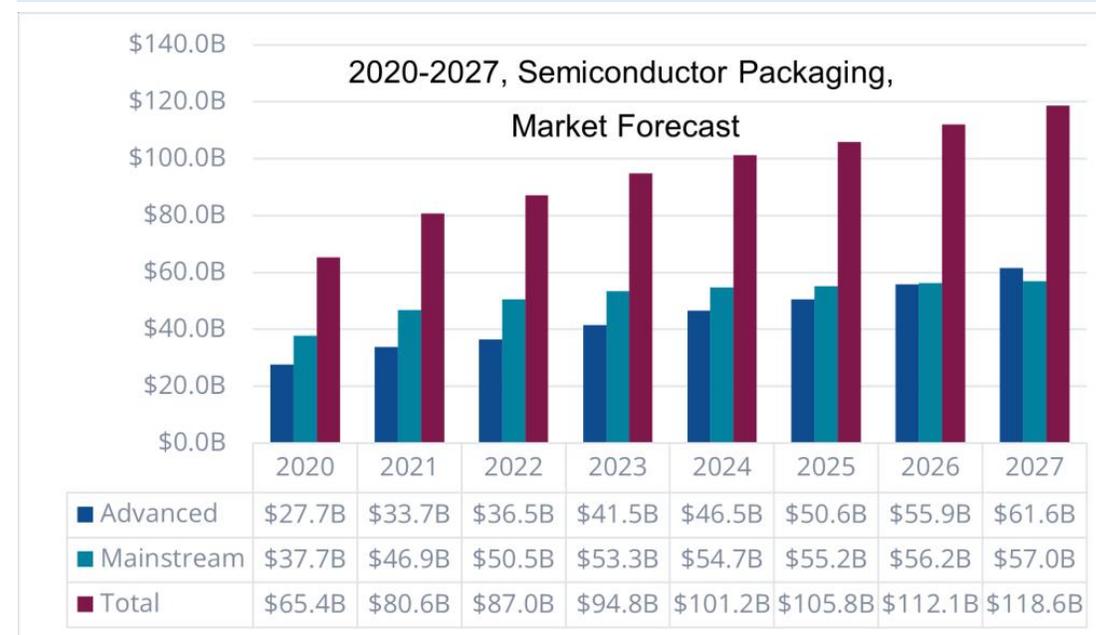
- 封测行业随半导体制造功能、性能、集成度需求提升不断迭代新型封装技术。迄今为止全球集成电路封装技术一共经历了五个发展阶段。当前，全球封装行业的主流技术处于以CSP、BGA为主的第三阶段，并向以系统级封装(SiP)、倒装焊封装(FC)、芯片上制作凸点(Bumping)为代表的第四阶段和第五阶段封装技术迈进。
- 全球半导体封装行业保持稳定增长，先进封装市场规模将于2027年首次超过传统封装。根据Semiconductor Engineering预测，全球半导体封装市场规模将由2020年650.4亿美元增长至2027年1186亿美元，复合增长率为6.6%。先进封装复合增长率超过传统封装，有望于2027年市场规模超过传统封装，达到616亿美元。

图：半导体封装发展历史

阶段	时间	封装	具体典型的封装形式
第一阶段	20世纪70年代以前	通孔插装型封装	晶体管封装(TO)、陶瓷双列直插封装(CDIP)、塑料双列直插封装(PDIP)
第二阶段	20世纪80年代以后	表面贴装型封装	塑料有引线片式载体封装(PLCC)、塑料四边引线扁平封装(PQFP)、小外形表面封装(SOP)、无引线四边扁平封装(PQFN)、小外形晶体管封装(SOT)、双边扁平无引脚封装(DFN)
第三阶段	20世纪90年代	球栅阵列封装(BGA)	塑料焊球阵列封装(PBGA)、陶瓷焊球阵列封装(CBGA)、带散热器焊球阵列封装(EBGA)、倒装芯片焊球阵列封装(FC-BGA)
		晶圆级封装(WLP)	
第四阶段	20世纪末开始	芯片级封装(CSP)	引线框架CSP封装、柔性插入板CSP封装、刚性插入板CSP封装、圆片级CSP封装
		多芯片组封装(MCM)	多层陶瓷基板(MCM-C)、多层薄膜基板(MCM-D)、多层印制板(MCM-L)
		系统级封装(SiP)	
第五阶段	21世纪前10年开始	三维立体封装(3D)	
		芯片上制作凸点(Bumping)	
		微电子机械系统封装(MEMS)	
		晶圆级系统封装-硅通孔(TSV)	
		倒装焊封装(FC)	
		表面活化室温连接(SAB)	
		扇出型集成电路封装(Fan-Out)	
		扇入型集成电路封装(Fan-in)	

资料来源：甬矽电子招股说明书，国信证券经济研究所整理

图：全球半导体封装市场规模预测



资料来源：Semiconductor Engineering，国信证券经济研究所整理

# 后摩尔时代，先进封装获重视

● 当前先进芯片发展面临“存储墙”“面积墙”“功耗墙”和“功能墙”，仅依靠先进制程无法解决，先进封装成为重要助力。

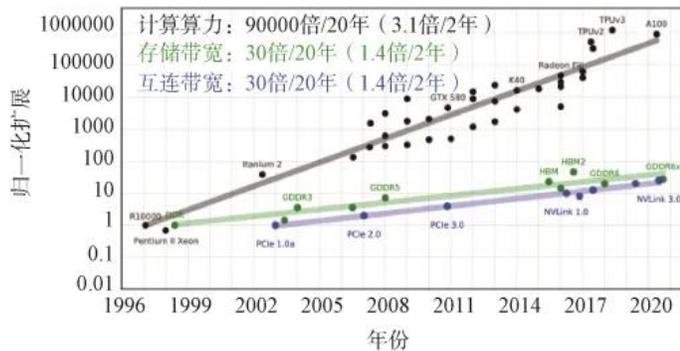
➢ “存储墙”：处理器算力超过存储芯片存取能力，导致综合算力被存储器制约。2000-2020年间处理器的峰值算力每两年增长3.1倍，而动态存储器的带宽每两年增长1.4倍，存储器的发展速度远落后于处理器，相差1.7倍。基于先进封装的近存计算是解决途径之一。

➢ “面积墙”：芯片制程相同时，通过增大芯片面积可以集成更多的晶体管数量，从而提升芯片的性能。但单颗芯片尺寸受限于光刻机的光罩极限，且芯片制造良率随尺寸增大而降低，从而增加成本。当前先进的EUV光刻机的最大光罩面积为26 mm×33 mm。通过先进封装技术集成多颗芯片是解决“面积墙”的低成本主流方案。

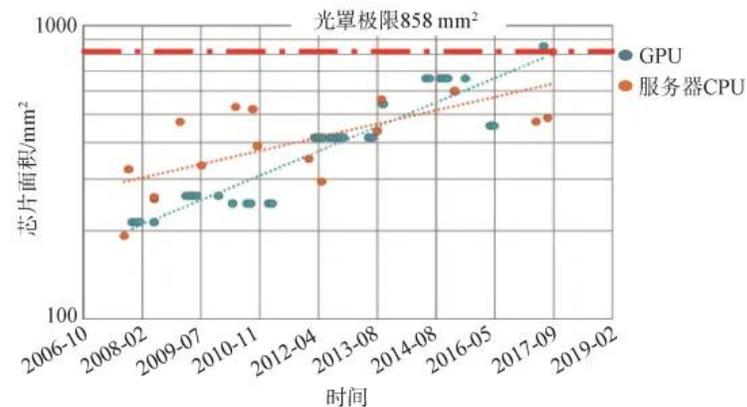
➢ “功耗墙”：近年来单个GPU和CPU的热设计功耗（TDP）逐年增大，由多个GPU芯片和HBM阵列组成的系统，其TDP可能突破万瓦级，热设计者将面临极大的挑战。

➢ “功能墙”：单一衬底可实现的功能有限，可通过多芯片异质集成技术，将传感、存储、计算、通信等不同功能的元器件集成在一起。

图：当前先进芯片发展面临“存储墙”“面积墙”“功耗墙”和“功能墙”



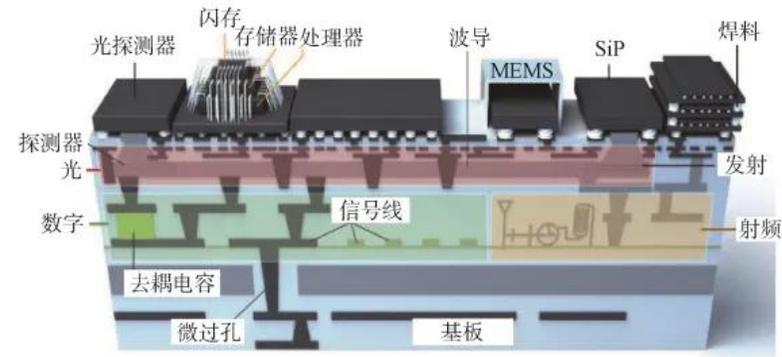
(a) 存储墙



(b) 面积墙



(c) 功耗墙



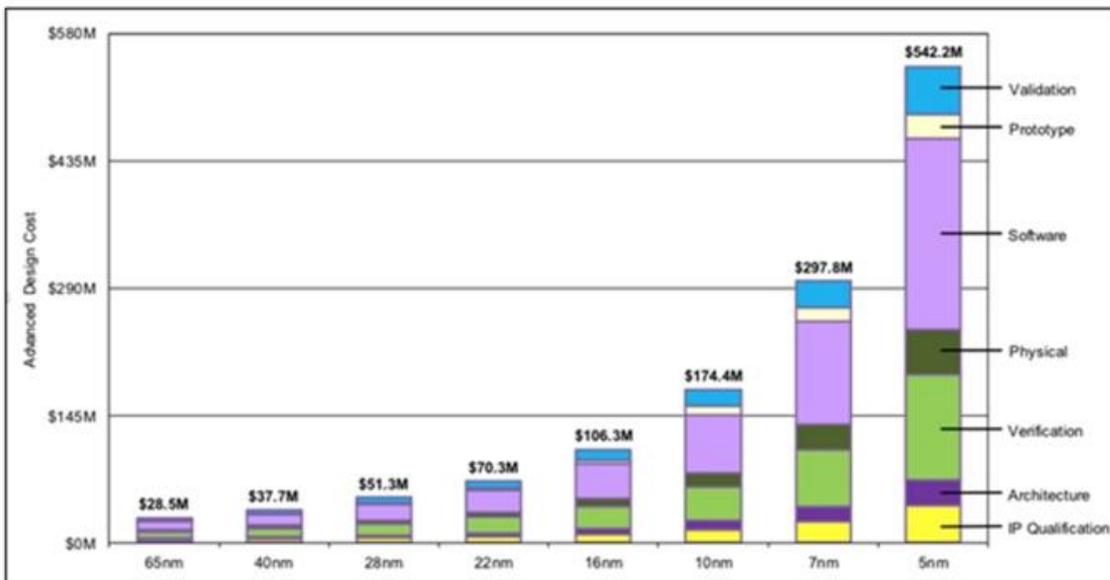
(d) 功能墙

资料来源：曹立强、侯峰泽，《先进封装技术的发展与机遇》，前瞻科技杂志，2022年第3期“集成电路科学与工程专刊”，国信证券经济研究所整理

# 后摩尔时代，先进封装获重视

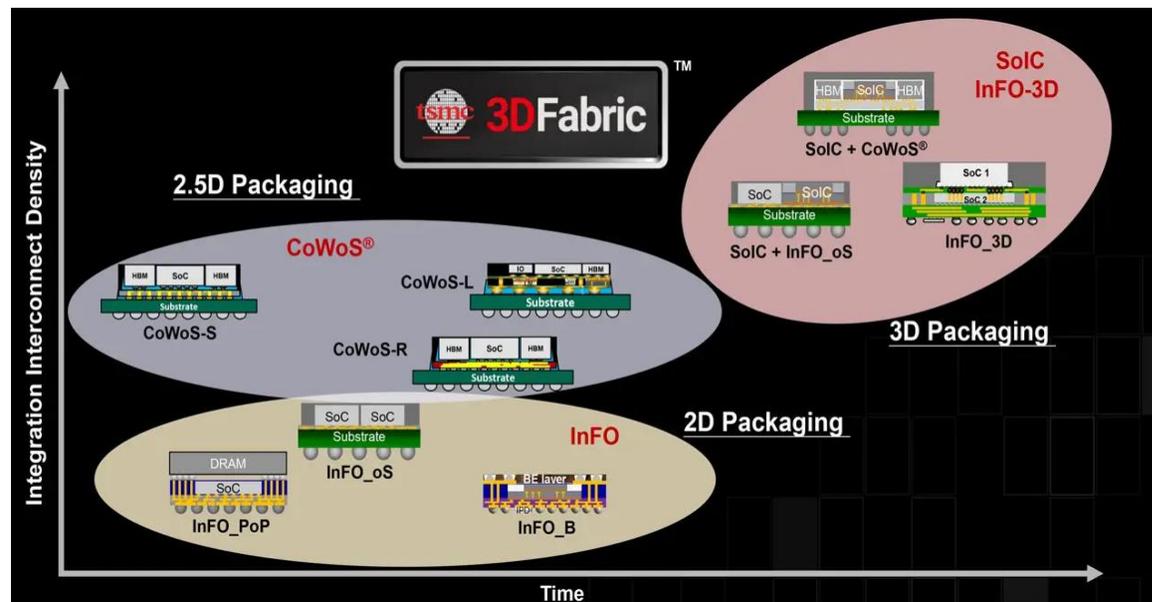
- 先进制程的成本快速提升且接近物理极限，先进封装获重视。随着工艺制程进入10nm以下，芯片设计成本快速提高。根据International Business Strategies（IBS）的数据，16nm工艺的芯片设计成本为1.06亿美元，5nm增至5.42亿美元。同时，由于先进制程越来越接近物理极限，摩尔定律明显放缓，侧重封装技术的More than Moore路径越来越被重视。
- 台积电早已入局先进封装，近年约10%资本开支主要用于先进封装。台积电在追求先进制程的同时，早在2008年便成立集成互连与封装技术整合部门入局先进封装，目前已形成CoWoS、InFO、SoIC技术阵列。近年来，台积电每年资本开支中约10%投入先进封装、测试、光罩等。

图：芯片设计成本随着先进制程快速提升



资料来源：IBS，国信证券经济研究所整理

图：台积电先进封装技术

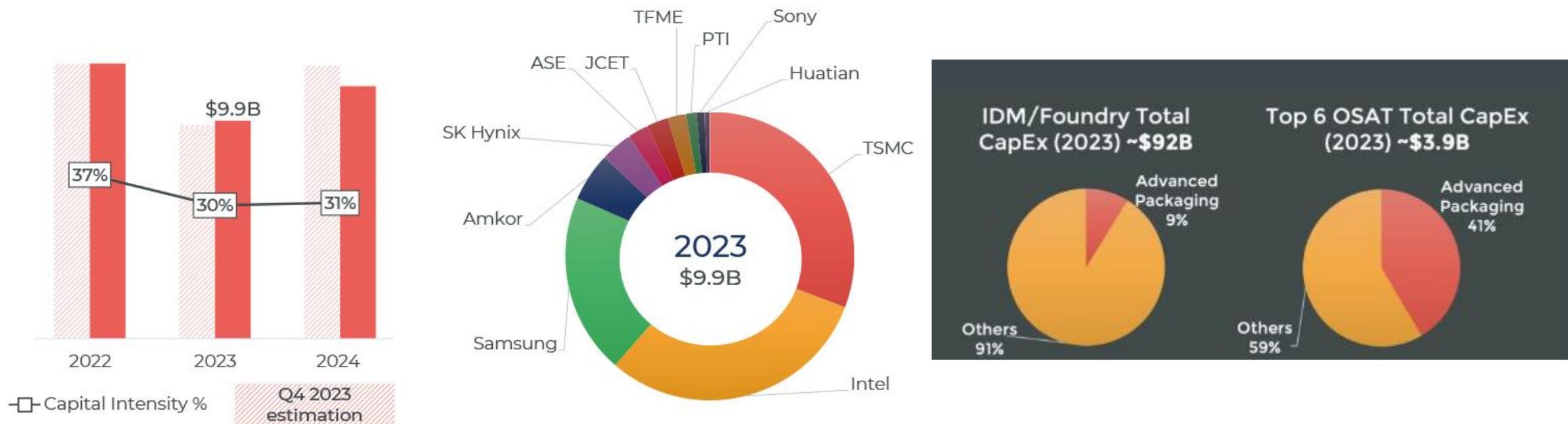


资料来源：台积电，国信证券经济研究所整理

# 2023年先进封装领域资本开支为99亿美元

- 2023年先进封装领域资本开支为99亿美元。根据Yole的数据，2023年先进封装领域资本开支为99亿美元，主要来自台积电、英特尔、三星、SK海力士等半导体大厂，以及安靠、日月光、长电科技等头部OSAT厂商。Yole预计2024年先进封装领域资本开支将增加到115亿美元。
- 先进封装约占IDM/晶圆代工厂2023年资本开支的9%；约占头部OSAT资本开支的41%。

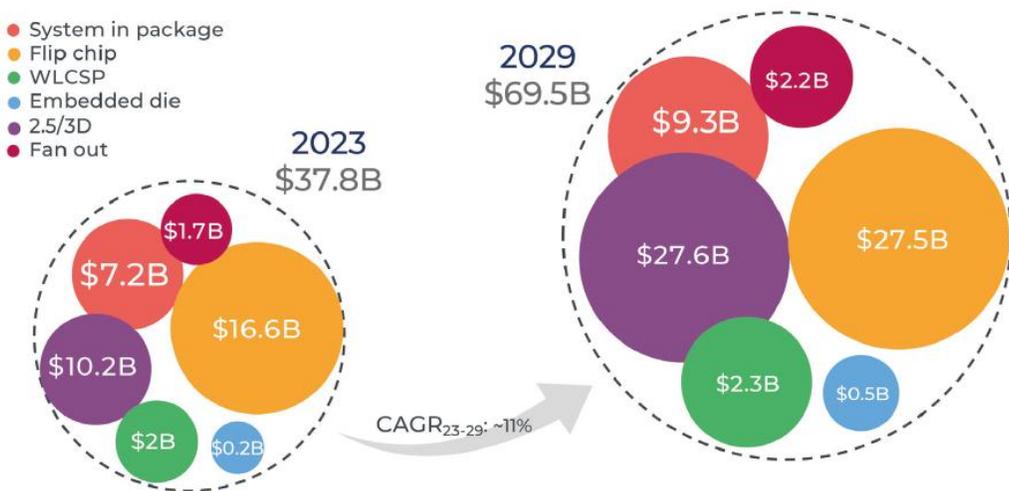
图：先进封装领域资本开支



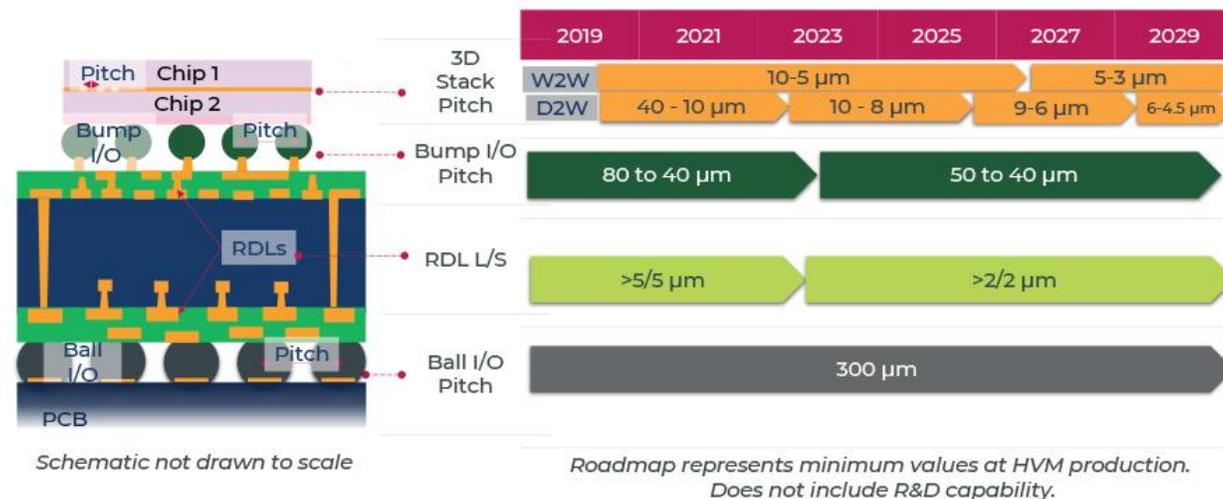
# 预计2023-2029年全球先进封装营收CAGR为11%

- 2023-2029年全球先进封装营收CAGR为11%。根据Yole的预测，2023年全球先进封装营收为378亿美元，占半导体封装市场的44%，预计2024年将增长13%至425亿美元，2029年增长至695亿美元，CAGR达11%，其中2.5D/3D封装增速最快。
- 从2019-2029年先进封装I/O间距和RDL线宽/线距的技术路线来看，呈缩小趋势。其中锡球I/O间距在300 μm不变，RDL线宽/线距从>5/5 μm缩小至>2/2 μm，微凸块间距由80-40 μm缩小至50-40 μm。混合键合（Hybrid Bonding）使金属-金属、氧化物-氧化物面对面堆叠成为可能，可使凸块间距小于10 μm，用在W2W(wafer-to-wafer)和D2W(die-to-wafer)中。

图：先进封装市场规模预测



图：先进封装I/O间距和RDL线宽/线距的技术路线



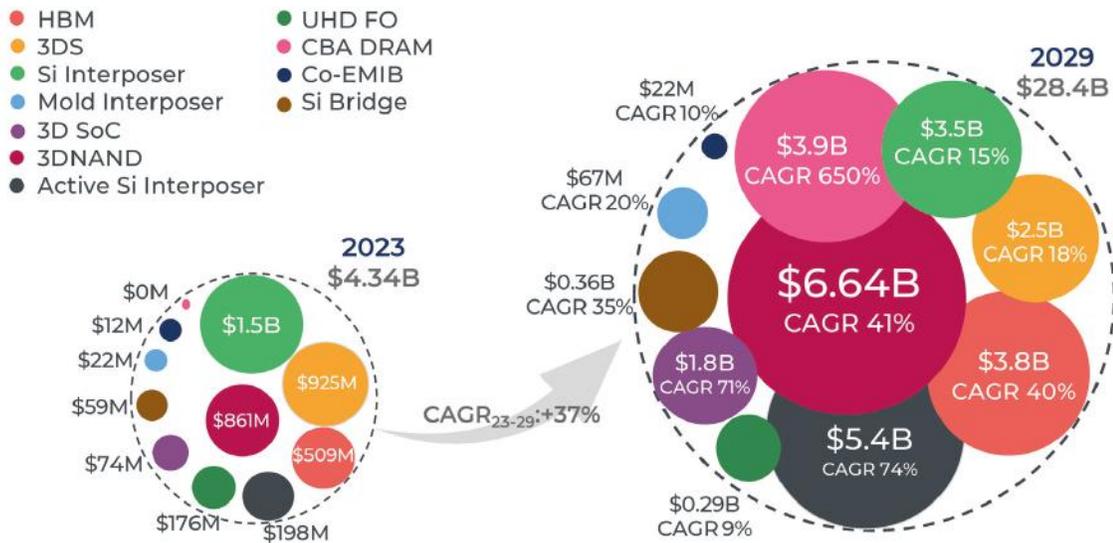
Bump I/O pitch is scaling much faster than Ball I/O pitch which drives a finer RDL L/S at IC substrate package level.

# 预计2023-2029年全球高端封装市场规模CAGR达37%

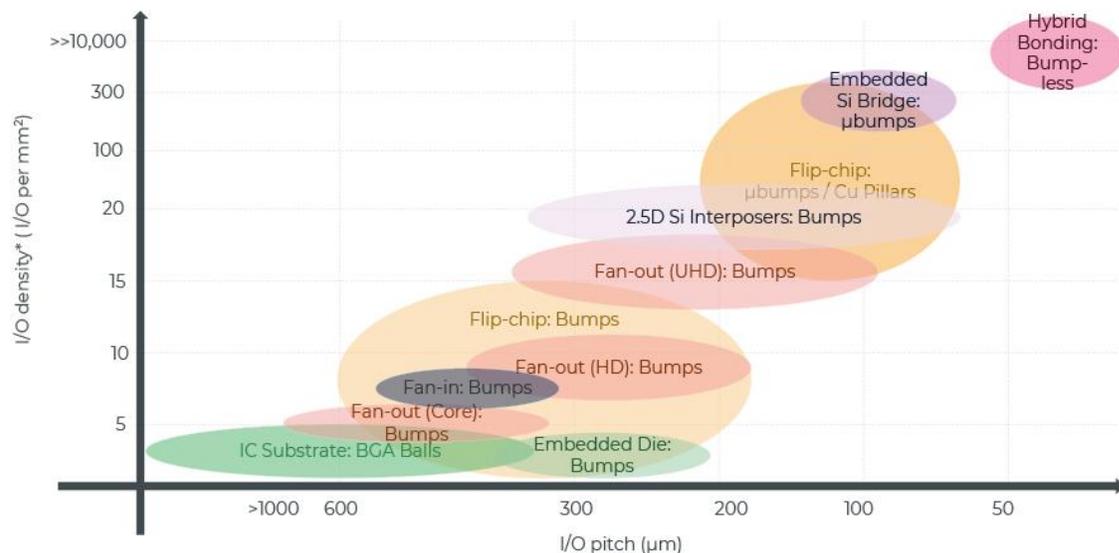
● 预计2023-2029年全球高端封装市场规模CAGR达37%。根据Yole的预测，高端封装市场规模将从2023年的43亿美元增长至2029年的280亿美元，CAGR达37%；高端封装数量将从2023年的6.27亿增长至2029年的56亿，CAGR达44%。

- 按终端市场来看，2023年最大的应用是通讯/基础设施，占比超过67%；2023-2029年CAGR最高的应用是移动/消费电子，达50%。
- 按技术来看，3D堆叠存储（包括HBM、3DS、3D NAND、CBA DRAM）占比最大，预计2029年贡献超过70%；2023-2029年增速较高的平台是CBA (CMOS键合阵列) DRAM、3D SoC、有源Si Interposer、3D NAND堆栈和嵌入式Si桥。

图：2023-2029年高性能封装各技术平台规模预测

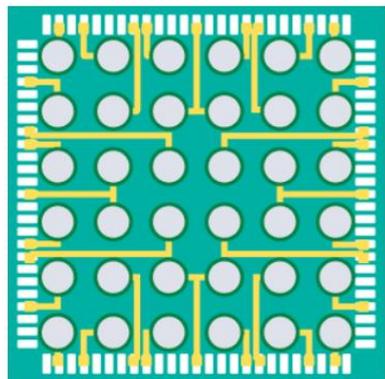


图：2024年高性能封装的I/O密度和间距



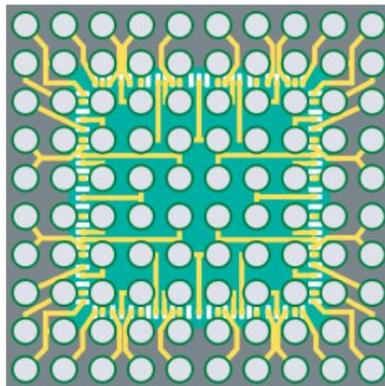
- **F0 (Fan-Out, 扇外型封装)**：基于晶圆重构技术，将切割后的好芯片重新放置在载板上，芯片间距离视需求而定，布线可在芯片内和芯片外，可提供更多的I/O数量，包括晶圆级扇外型 (Fan-out Wafer Level Packaging, FOWLP) 和面板级扇外型 (Fan-out Panel Level Packaging, FOPLP)。与之相对的FI (Fan-In, 扇入型封装) 布线均在芯片尺寸内。
- **WLCSP (Wafer Level Chip Scale Packaging, 晶圆级芯片规模封装)**：将晶圆级封装 (WLP) 和芯片尺寸封装 (CSP) 合为一体的封装技术。WLP是直接在晶圆上进行大部分或全部的封装测试程序，之后再切割；与之相对的传统工艺是将单个芯片从晶圆上切割后再进行封装测试。CSP是指整个package的面积相比于silicon总面积不超过120%的封装技术。

图：扇外型封装和扇入型封装



Fan-In WLP

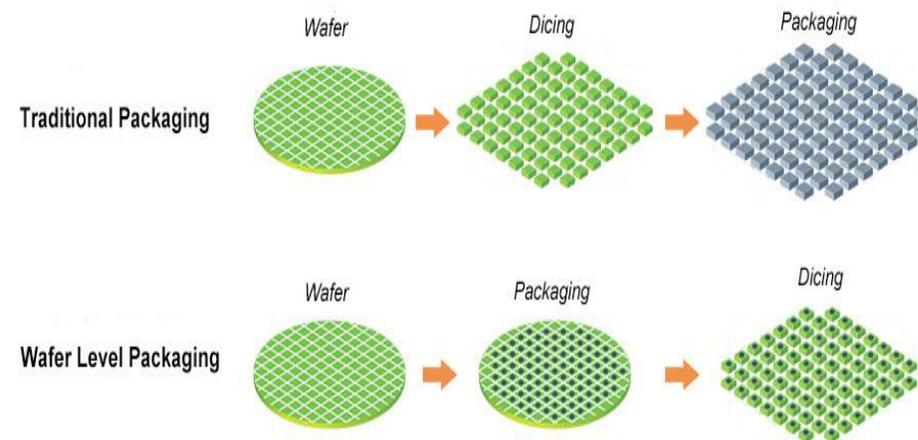
All RDL traces are routed in towards the center of the die



Fan-Out WLP

RDL traces are routed both inwards and outwards beyond the limits of the die

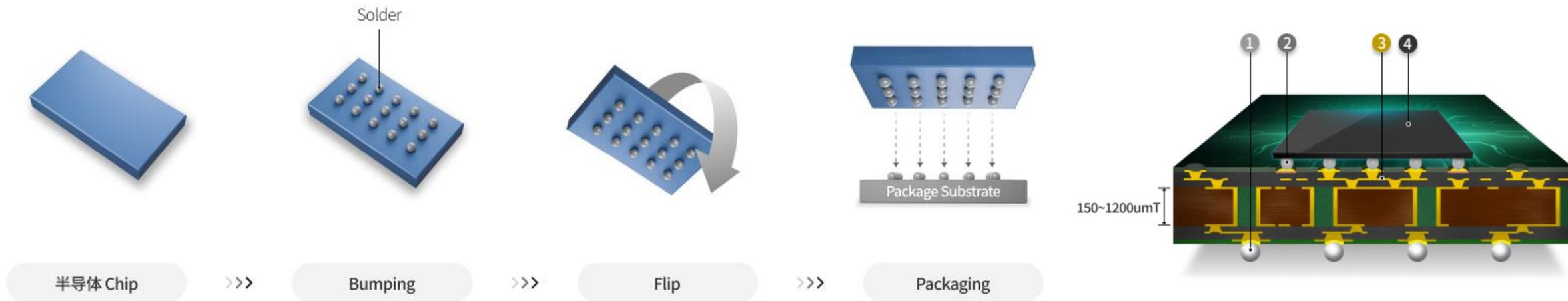
图：晶圆级封装和传统封装



# 先进封装技术——FCBGA、FCCSP

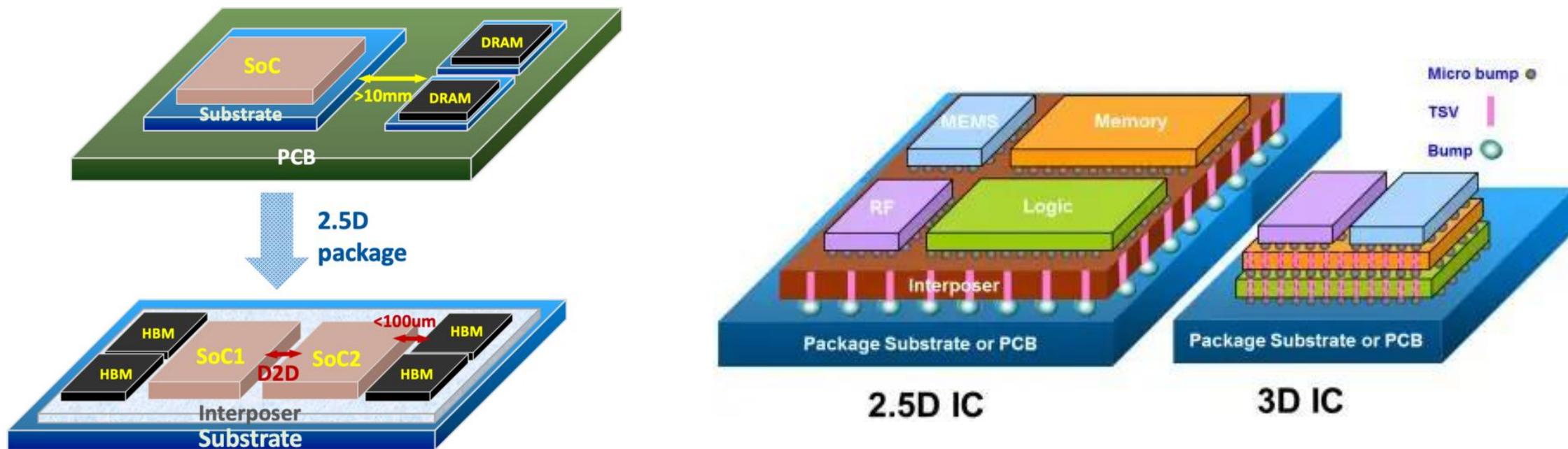
- FC (Flip Chip, 倒装芯片)：将芯片翻转使电气面朝下，通过凸点与基板连接；BGA (Ball Grid Array, 球栅阵列)：用焊球代替传统周边引脚。
- FCCSP (Flip Chip Chip Scale Package, 倒装芯片级封装) 与FCBGA (Flip Chip Ball Grid Array, 倒装芯片球栅阵列封装) 相比，除整体尺寸更小外，在外形上没有明显差异，

图：FCCSP和FCBGA封装技术



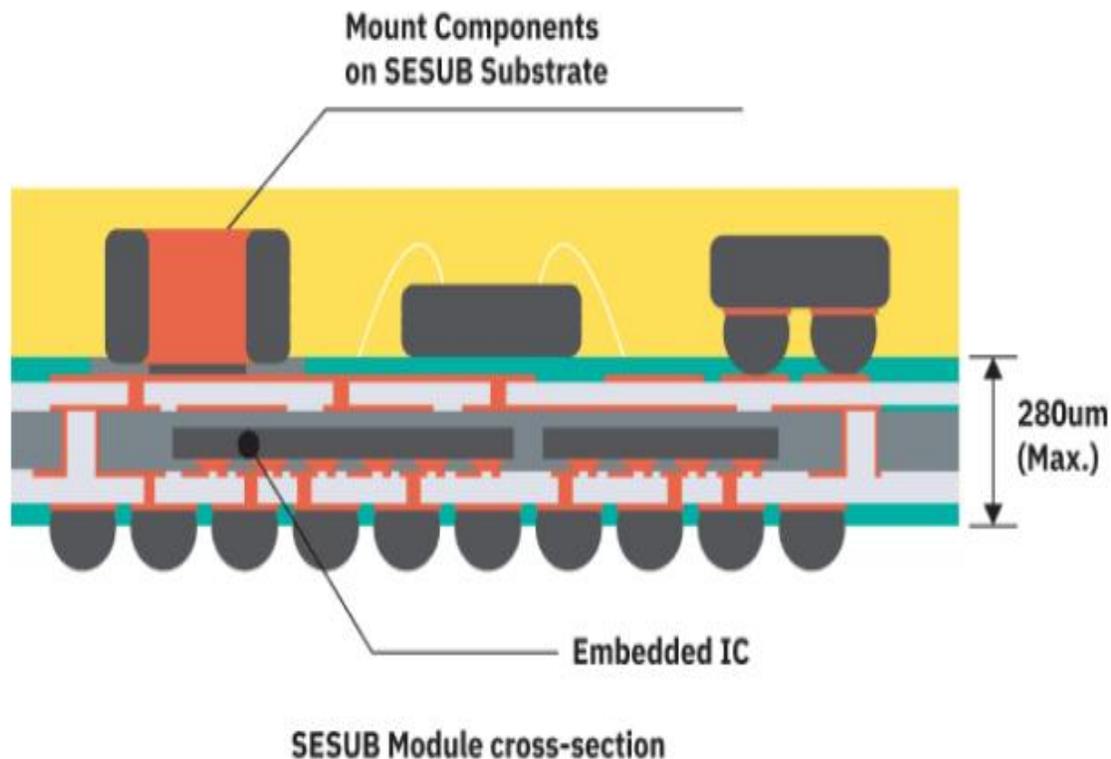
- **2.5D封装**：将多个芯片通过中介层（Interposer）连接，提高XY面密度，可以在保持性能的同时降低成本、提高良率，具有更好的灵活性和可扩展性。
- **3D封装**：直接在芯片上打孔和布线，实现Z方向的芯片堆叠和连接。目前在存储领域应用较多。
- **TSV（Through Silicon Via，硅通孔）**技术可以实现硅片内部垂直电互联，是实现2.5D、3D先进封装的关键技术之一。相比平面互连，TSV可减小互连长度和信号延迟，降低寄生电容和电感，实现芯片间低功耗和高速通信。

图：2D、2.5D、3D封装技术

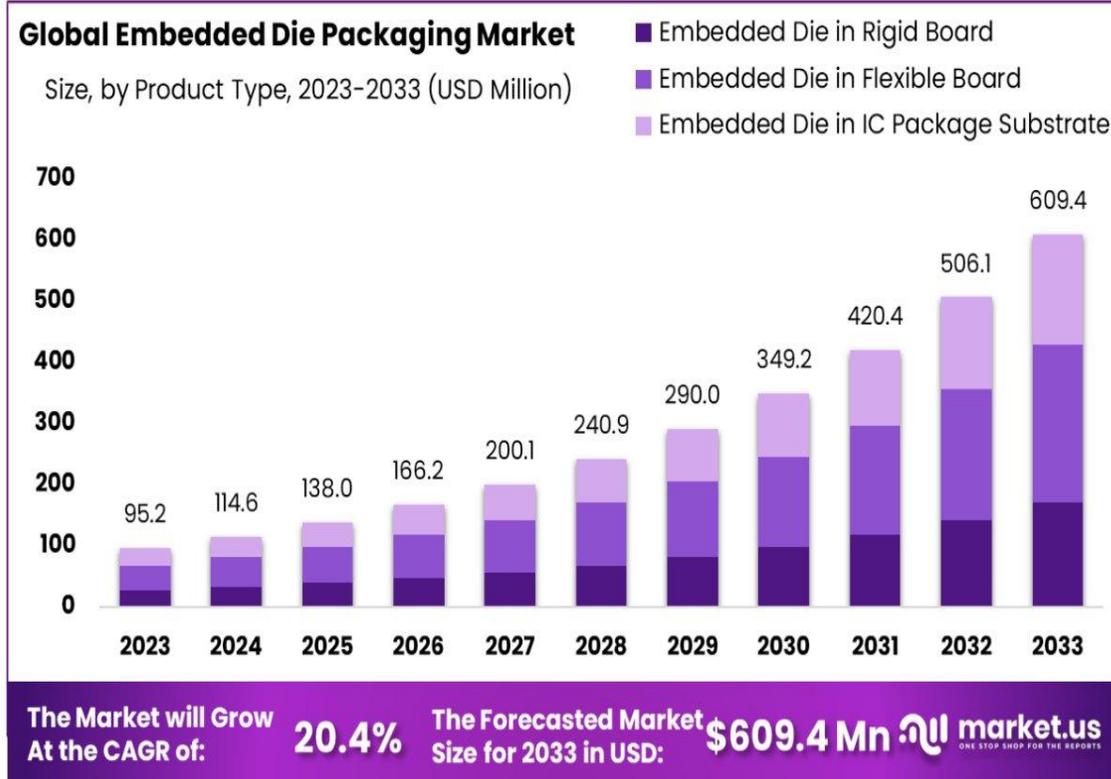


- ED (Embedded Die, 嵌入式芯片封装)：将芯片嵌入基板内部，而非安装在基板表面上，可以缩短电路长度，提高电气性能，减小封装尺寸。
- 根据market.us的预测，ED封装市场规模将由2023年的0.95亿美元增长至2033年的6.09亿美元，CAGR约20%。

图：ED封装技术



图：全球ED封装市场规模



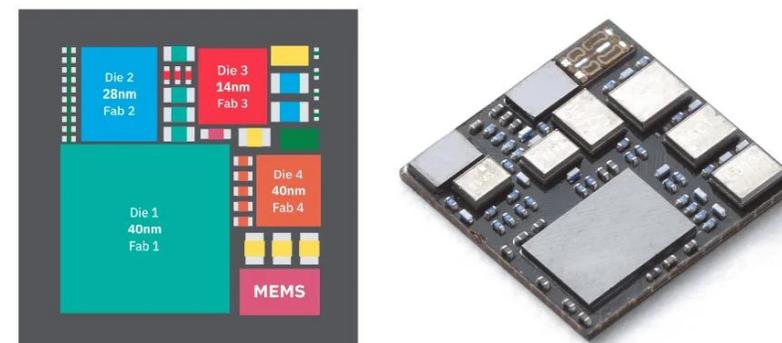
# 先进封装技术——SiP

- SiP (System in Package, 系统级封装)：根据国际半导体路线组织 (ITRS) 的定义, SiP是将多个具有不同功能的有源电子元件与可选无源器件, 以及诸如MEMS或者光学器件等其他器件组装到一起, 实现一定功能的单个标准封装件, 形成一个系统或者子系统。
- SiP封装内部可能用到倒装芯片、芯片堆叠、晶圆级封装等多种封装技术。

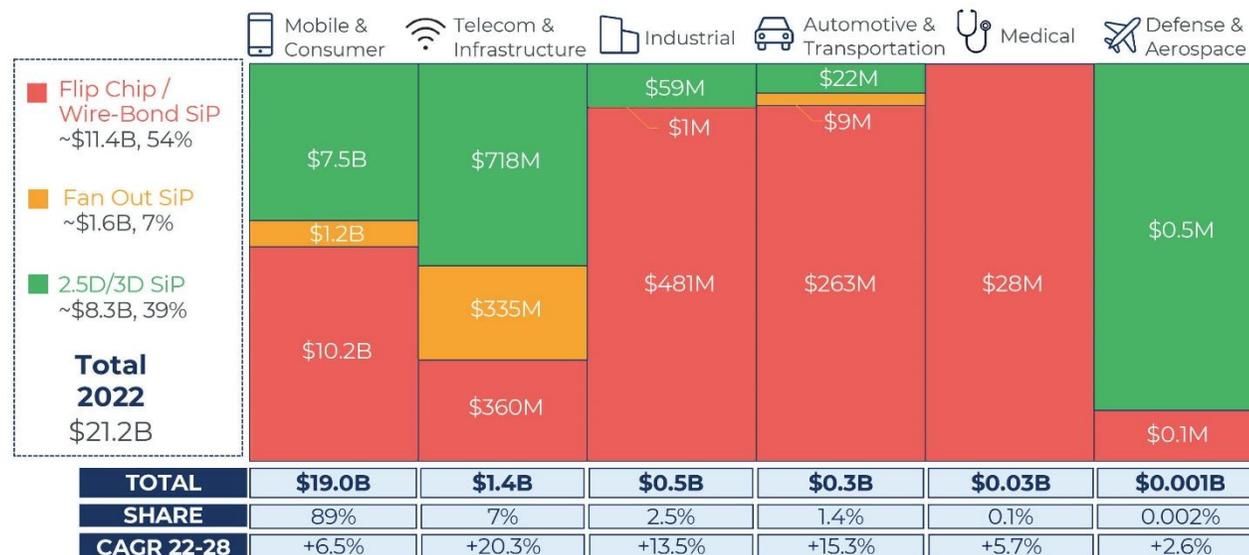
图：SiP技术



↓ Integration



图：2022年全球SiP市场规模



SiP: System-in-Package

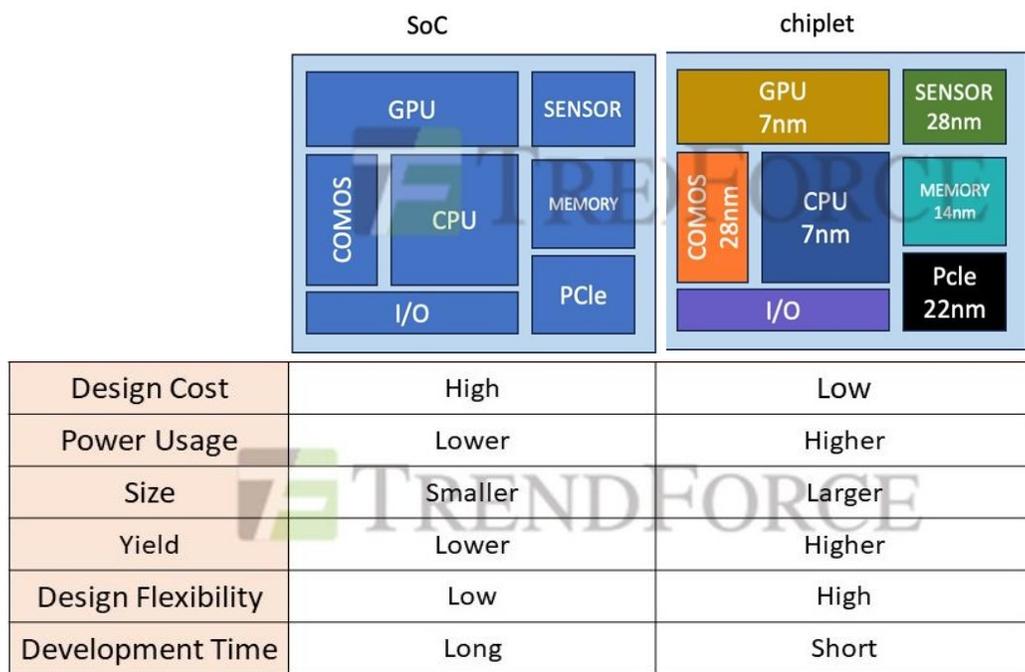
资料来源：Yole, 国信证券经济研究所整理

资料来源：日月光官网, 国信证券经济研究所整理

# Chiplet是后摩尔时代的重要路径

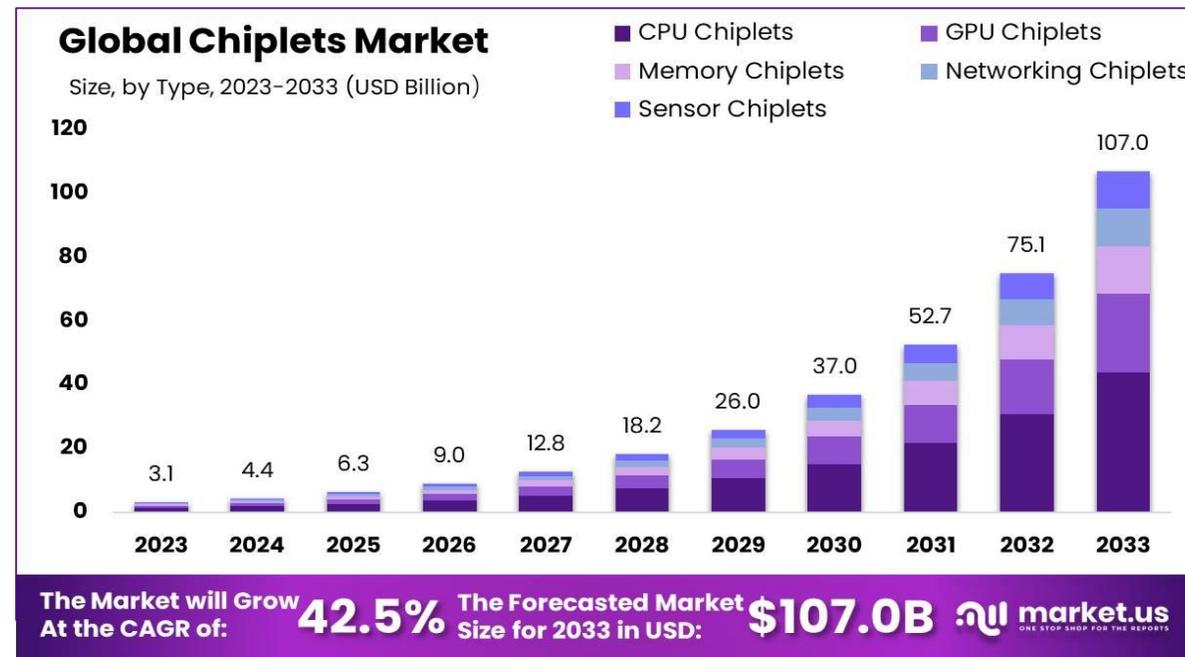
- **Chiplet（芯粒/小芯片）**：指预先制造好、具有特定功能、可组合集成的晶片（Die），可以组合起来创建更大的系统或集成到现有芯片中，允许系统设计人员混合和匹配不同的芯片功能，以创建定制和优化的解决方案。相比SoC，具有更高的灵活性、可扩展性和模块化。
- 根据market.us的预测，全球Chiplet市场规模将由2023年的31亿美元增长至2033年的1070亿美元，CAGR约42.5%。从产品来看，2023年CPU Chiplet占比超过41%。

图：Chiplet和SoC对比



资料来源：TrendForce，国信证券经济研究所整理

图：全球Chiplet市场下游分布

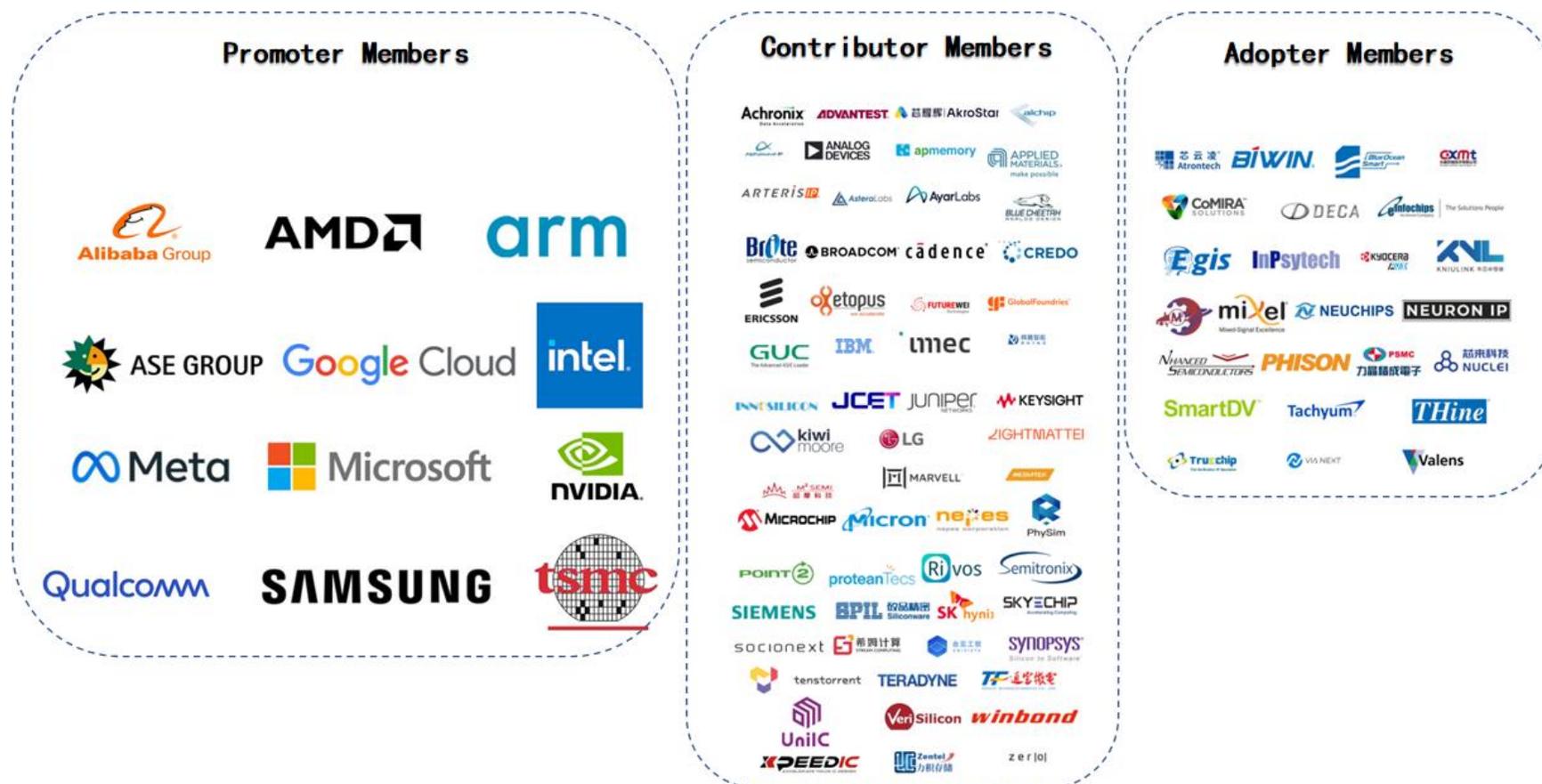


资料来源：market.us，国信证券经济研究所整理

# Chiplet是后摩尔时代的重要路径

- **UCIe标准**：2022年3月，Intel、AMD、ARM、高通、三星、台积电、日月光、Google Cloud、Meta和微软等公司联合推出“Universal Chiplet Interconnect Express”（通用芯粒互连，简称“UCIe”），作为Die-to-Die互连标准，主要目的是统一Chiplet之间的互连接口标准，打造一个开放性的Chiplet生态系统。

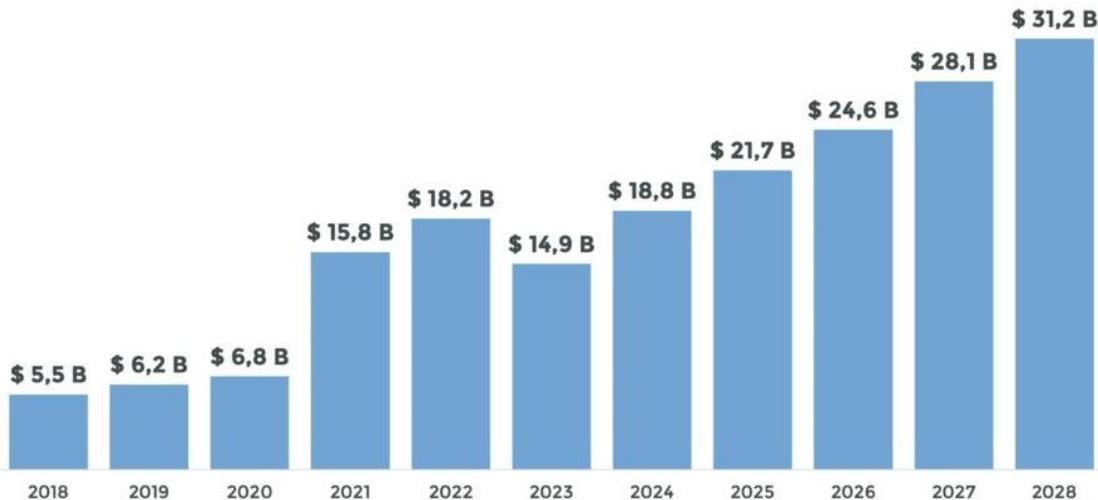
图：UCIe联盟成员



# IC封装基板是先进封装的重要材料

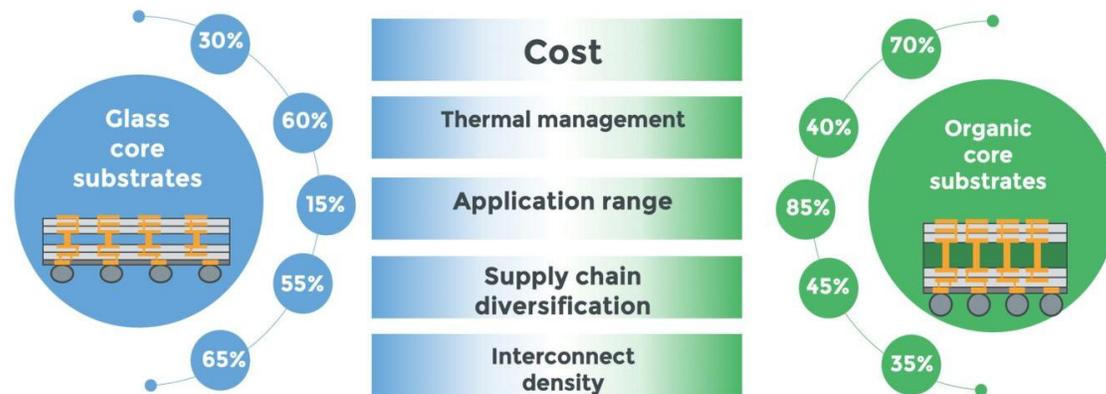
- IC封装基板（IC Substrate）：在先进封装中取代传统引线框架，为芯片提供支撑、散热和保护作用，也为芯片间、芯片与PCB间提供互连，可在其中埋入无源、有源器件。相比其他PCB板，具有高密度、高精度、薄型化及小型化等特点。
- 根据Yole的数据，全球先进封装基板市场规模将由2023年的149亿美元增至2029年312亿美元；2022年中国企业先进封装基板全球市占率仅5%。
- 2023年9月英特尔宣布将在2030年前推出用于下一代先进封装的玻璃基板（Glass Core Substrate）。这是继陶瓷基板、有机基板后的第三种基板，相比有机基板，具有超低的平整度、更好的热传导性和电性、更高的互连密度、更低的成本。

图：全球先进封装基板市场规模



资料来源：Yole，国信证券经济研究所整理

图：玻璃基板与有机基板对比



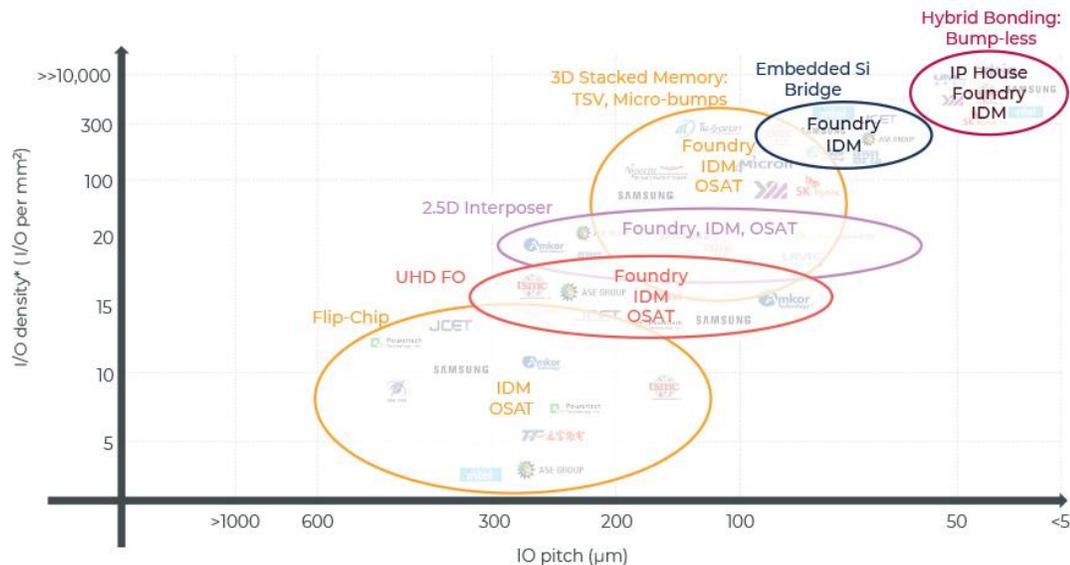
资料来源：Yole，国信证券经济研究所整理

## 晶圆厂依靠前道工艺优势入局先进封装

# 晶圆厂依靠前道工艺优势入局先进封装

● 晶圆制造厂在先进封装中的地位领先。先进封装，尤其是高端封装的实现越来越依赖前道技术，混合键合技术（Hybrid Bonding，通过直接铜对铜的连接方式取代凸点或焊球互连）正成为一种新趋势。台积电、英特尔和三星等晶圆厂优势突出，凭借先进封装需求走高，2023年台积电、英特尔、三星封装收入分别位列全球第三到第五。

图：先进封装技术参与者



资料来源：Yole，国信证券经济研究所整理

请务必阅读正文之后的免责声明及其项下所有内容

图：前十大封装厂商排名



资料来源：Yole，国信证券经济研究所整理

图：前五大玩家先进封装收入



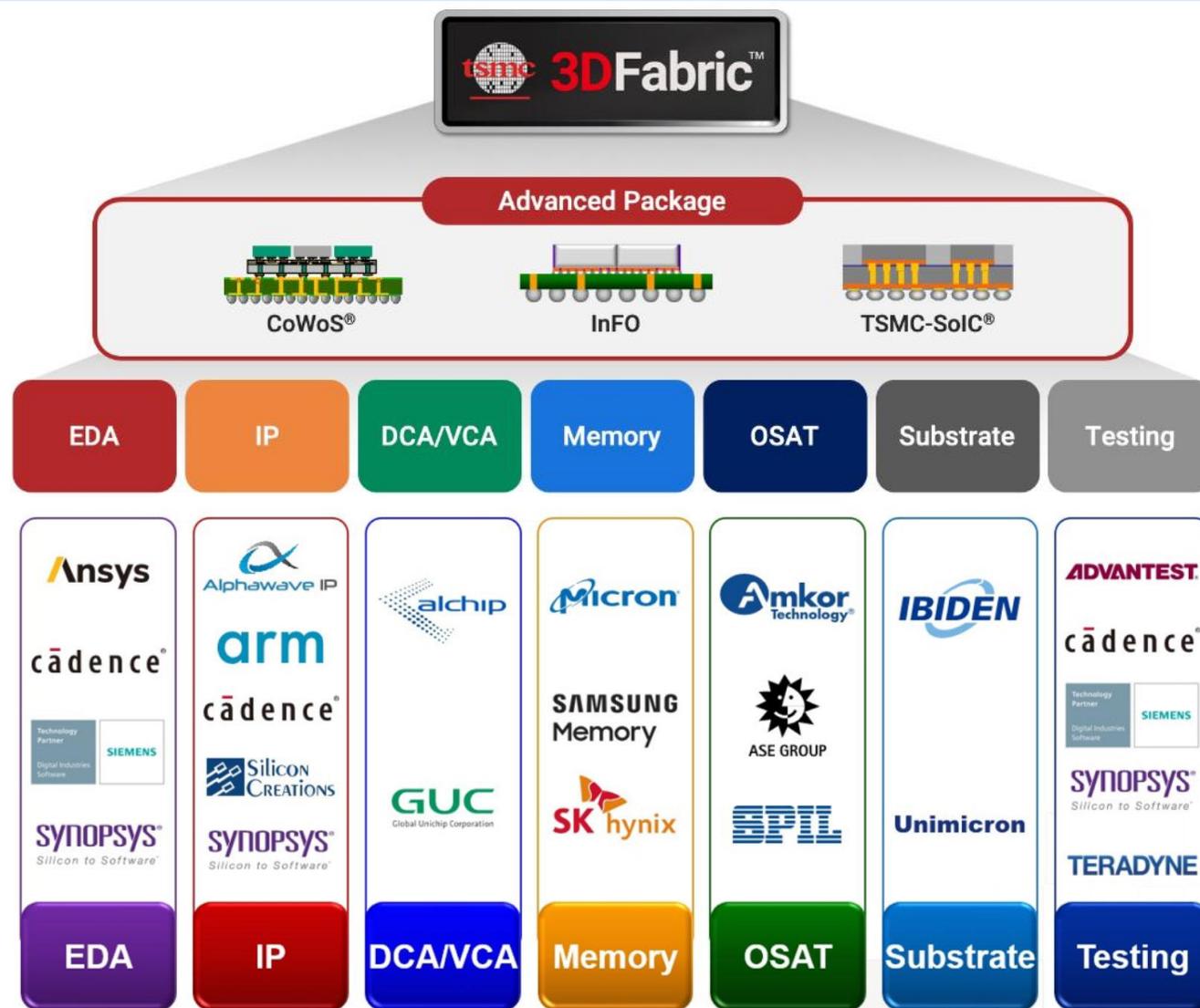
资料来源：Yole，国信证券经济研究所整理

# 先进封装布局——台积电

- 2008年台积电成立集成互连与封装技术整合部门，专门研究先进封装技术，重心发展扇外型封装InFO、2.5D封装CoWoS和3D封装SoIC。2011年推出CoWoS，2012与赛灵思在FPGA上合作量产；2014年投入InFO研发，2016年获得苹果A10订单；2018年公开SoIC技术，2022年量产，AMD是首发客户。

- 2020年台积电宣布将其2.5D和3D封装产品合并为一个全面的品牌3DFabric技术，进一步将制程工艺和封装技术深度整合；2022年宣布成立台积电开放创新平台（OIP®）3DFabric联盟，以进一步加速3D IC生态系统的创新及完备。

图：台积电3DFabric技术平台

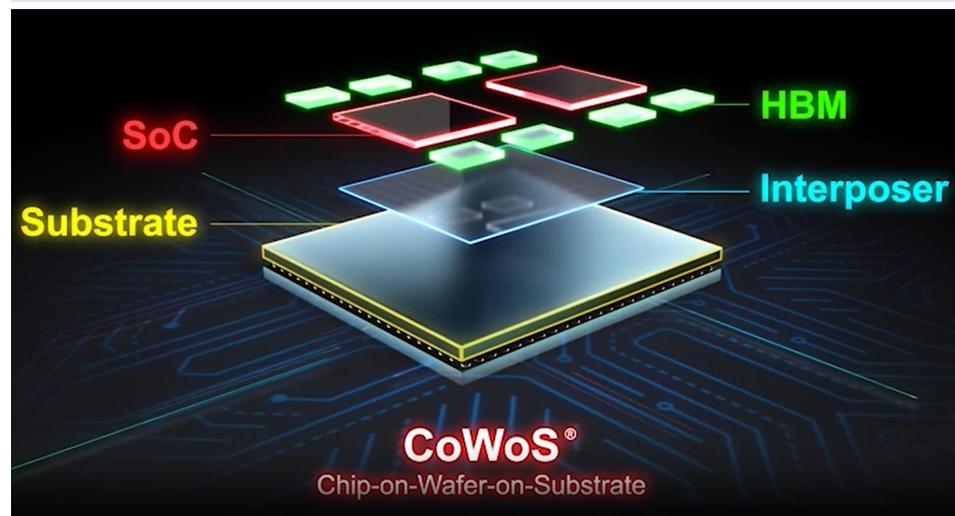


资料来源：台积电官网，国信证券经济研究所整理

# 先进封装布局——台积电

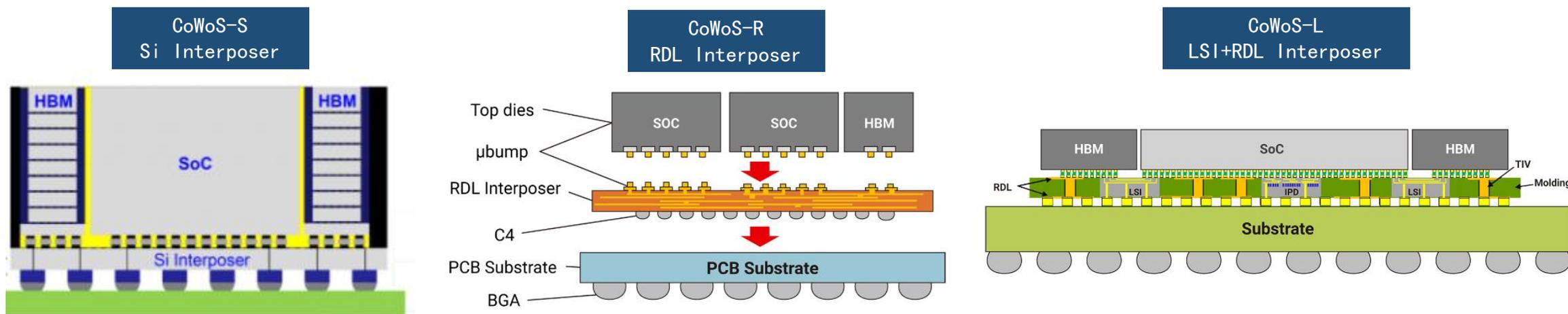
- CoWoS (Chip-on-Wafer-on-Substrate)：一种2.5D封装技术，根据中介层的不同，台积电CoWoS 封装技术包括CoWoS-S (Silicon Interposer)、CoWoS-R (RDL Interposer) 以及CoWoS-L (Local Silicon Interconnect and RDL Interposer) 三种类型。
- 英伟达H100、A100、B100采用台积电CoWoS技术。TrendForce 预计台积电2024年CoWos总产能增长150%，年底达到月产能接近40K，2025年再增长7成，其中英伟达需求占比近半。

图：台积电CoWoS封装技术



资料来源：台积电官网，国信证券经济研究所整理

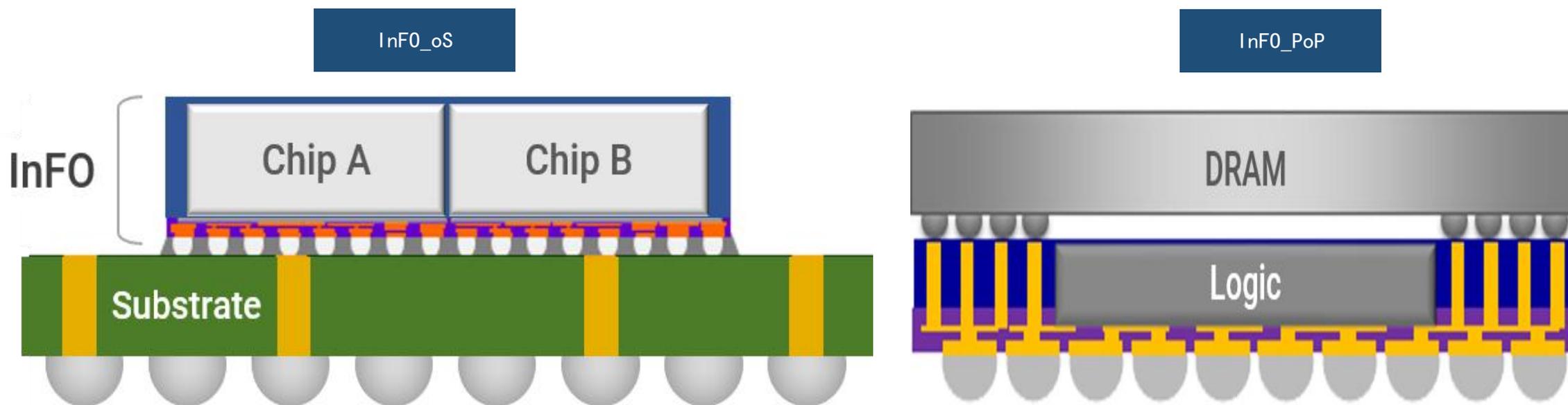
图：台积电CoWoS封装技术



资料来源：台积电官网，国信证券经济研究所整理

- InFO (Integrated Fan-Out)：晶圆级系统集成技术，具有高密度RDL(重新分布层)和TIV(Through InFO Via)，可实现高密度互连和性能。台积电InFO封装技术包括InFO\_oS (InFO on Substrate)、 InFO\_PoP (InFO Package on Package) 两种类型，其中InFO\_PoP是业界首款3D晶圆级扇出封装。
- 苹果自 iPhone 7 A10处理器之后A处理器均采用台积电InFO封装。

图：台积电InFO封装技术

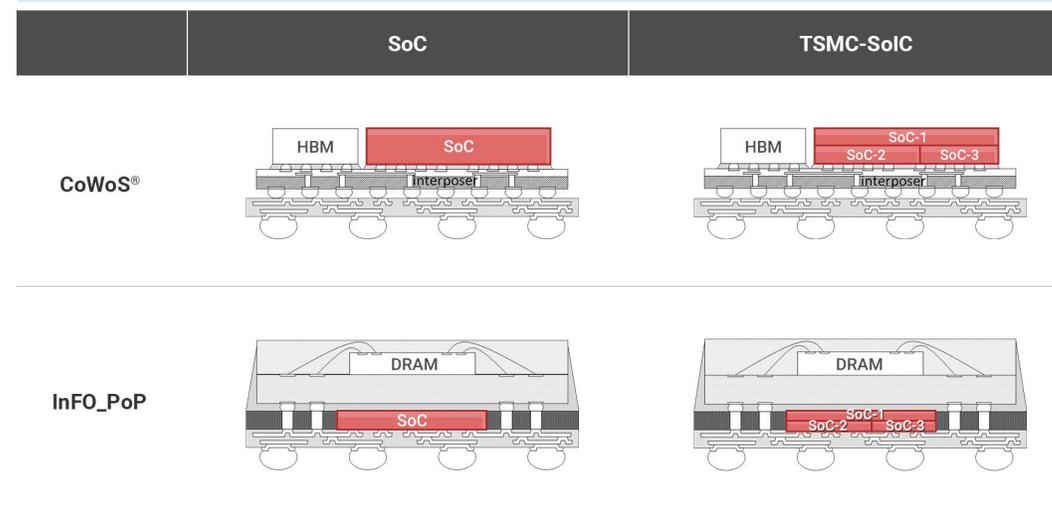


# 先进封装布局——台积电

- SoIC (System-on-Integrated-Chips)：推进异构小芯片集成的3D封装技术，将有源和无源芯片集成到一个新的集成SoC系统中，该系统与原生SoC在电气上相同，具有体积小、超高密度垂直堆叠、性能高、低功耗的特点。台积电SoIC封装技术包括SoIC-CoW (SoIC-Chip on Wafer)、SoIC-WoW (SoIC-Wafer on Wafer) 两种类型。

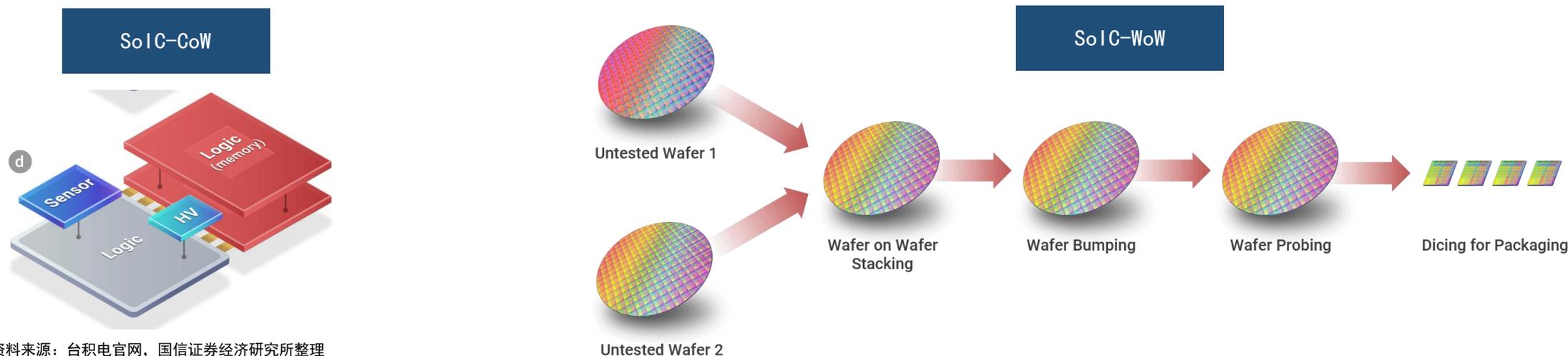
- SoIC技术可以集成到CoWoS和InFO技术中。AMD MI300搭配使用SoIC和CoWoS封装

图：台积电SoIC技术与CoWoS和InFO配合



资料来源：台积电官网，国信证券经济研究所整理

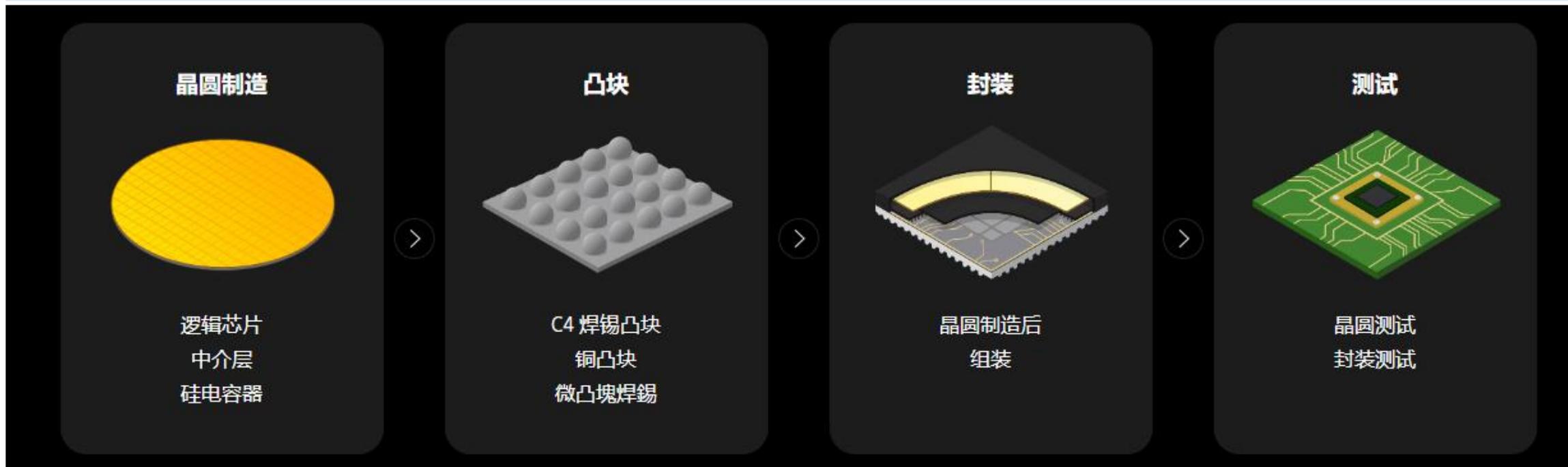
图：台积电SoIC封装技术



资料来源：台积电官网，国信证券经济研究所整理

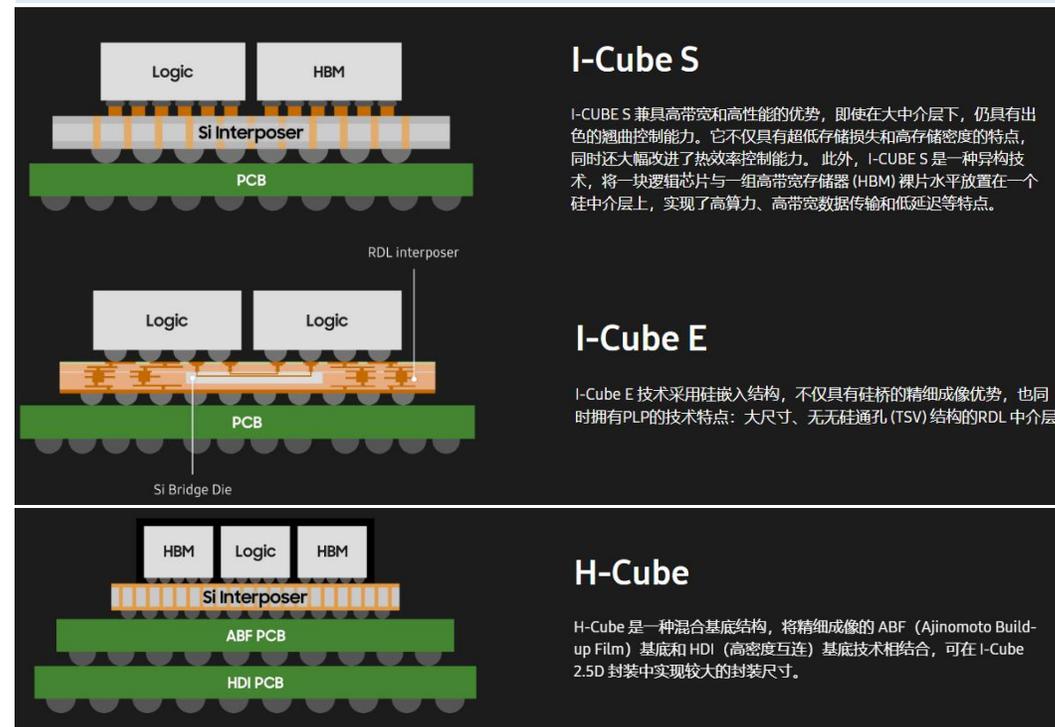
- 2022年12月，三星电子在半导体业务部门内成立先进封装（Advanced Packaging, AVP）业务团队，以加强先进封装技术，并在各业务部门之间创造协同效应；2024年7月AVP业务团队重组为AVP开发团队，目的是抢占2.5D、3D等新封装技术。
- AVP团队可为客户和产品量身定制先进封装技术和解决方案，并将其商业化。同时特别致力于开发基于RDL（重布线层）、Si Interposer（硅中介层）/Bridge（硅桥接）和TSV（硅通孔）堆叠技术的下一代2.5D和3D高级封装解决方案。
- 2023年三星成立MDI（多芯片集成）联盟。

图：三星一站式的全面封装服务



- **I-Cube:** 2.5D封装技术，采用三星的硅通孔和后道工序技术，让多个芯片各自的专门功能和谐并存，从而提高效率。三星于2018年推出I-Cube2，可以集成一个逻辑裸片和两个HBM裸片。
- 根据所用中介层的不同类型，I-Cube可细分为I-Cube S和I-Cube E。另外，三星还提供混合基底结构的封装技术H-Cube。
- **X-Cube:** 3D封装技术，通过垂直堆叠组件来提高性能，三星2020年推出 eXtended-Cube (X-Cube)。根据上下芯片连接方式的不同，X-Cube分为X-Cube ( $\mu$ -Bump/微凸块) 和X-Cube (Hybrid Copper Bonding, 铜混合键合)。

图：三星I-Cube封装技术



## I-Cube S

I-CUBE S 兼具高带宽和高性能的优势，即使在大中介层下，仍具有出色的翘曲控制能力。它不仅具有超低存储损失和高存储密度的特点，同时还大幅改进了热效率控制能力。此外，I-CUBE S 是一种异构技术，将一块逻辑芯片与一组高带宽存储器 (HBM) 裸片水平放置在一个硅中介层上，实现了高算力、高带宽数据传输和低延迟等特点。

## I-Cube E

I-Cube E 技术采用硅嵌入结构，不仅具有硅桥的精细成像优势，也同时拥有PLP的技术特点：大尺寸、无硅通孔 (TSV) 结构的RDL中介层

## H-Cube

H-Cube 是一种混合基底结构，将精细成像的 ABF (Ajinomoto Build-up Film) 基底和 HDI (高密度互连) 基底技术相结合，可在 I-Cube 2.5D 封装中实现较大的封装尺寸。

资料来源：三星官网，国信证券经济研究所整理

图：三星X-Cube封装技术



## X-Cube (微凸块)

X-CUBE 是先进封装技术的一个巨大飞跃，这种技术采用在 Z 轴堆叠逻辑裸片的方法，提高了动态键合能力。凭借这些创新，三星得以快速推广其 Chip-on-Wafer 和铜混合键合技术，通过增加每个堆栈的芯片密度，进一步提升 X-CUBE 的速度或性能。



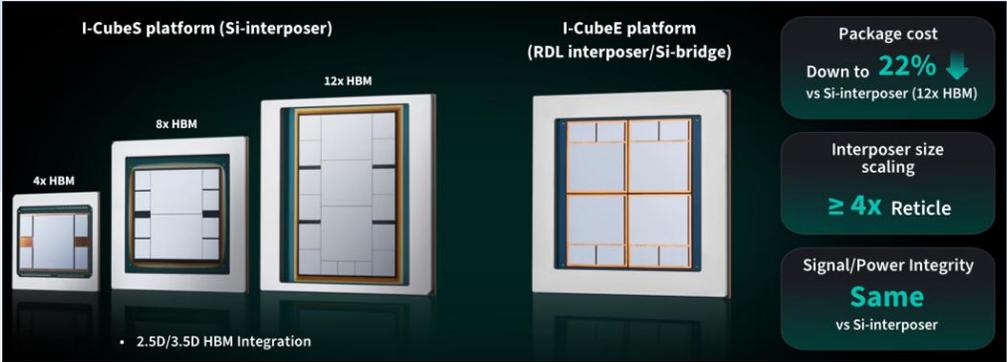
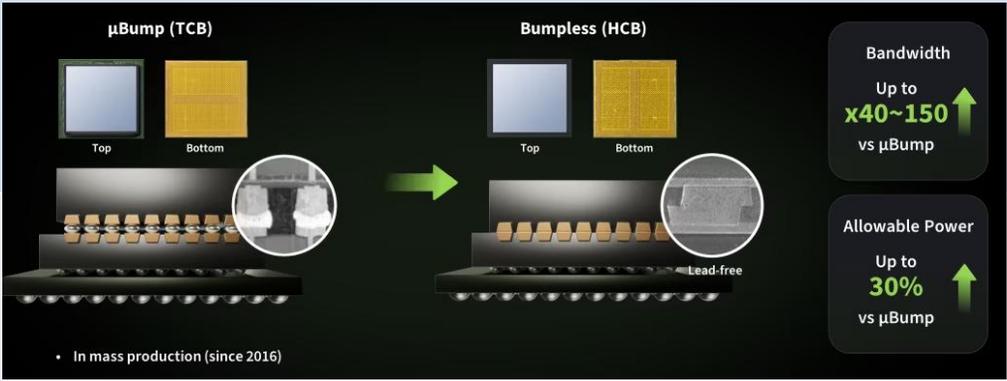
## X-Cube (铜混合键合)

HCB (铜混合键合)：就芯片布局灵活性的观点而言，与传统的芯片堆叠技术相比，铜混合键合技术具有极大的优势。Samsung Foundry 正在开发超精细的铜混合键合技术（例如低于 4 微米的规格）。

资料来源：三星官网，国信证券经济研究所整理

请务必阅读正文之后的免责声明及其项下所有内容

图：三星先进封装交钥匙解决方案

Type	Current offering	Roadmap	Pictures
I-CubeS 2.5D	Interposer size: 3x reticle #of HBM: 8x μ bump pitch : 40 μm Interposer C4 pitch: 150 μm Package size: 85*85 mm <sup>2</sup>	Interposer size: 4+ reticle #of HBM: 12x μ bump pitch : 25 μm Interposer C4 pitch: 125 μm Package size: 100*100 mm <sup>2</sup>	 <p>I-CubeS platform (Si-interposer)</p> <p>I-CubeE platform (RDL interposer/Si-bridge)</p> <p>Package cost Down to <b>22%</b> ↓ vs Si-interposer (12x HBM)</p> <p>Interposer size scaling <b>≥ 4x</b> Reticle</p> <p>Signal/Power Integrity <b>Same</b> vs Si-interposer</p> <p>• 2.5D/3.5D HBM Integration</p>
I-CubeE 2.5D	Interposer size: 3x reticle #of HBM: 8x μ bump pitch : 40 μm Interposer C4 pitch: 150 μm Package size: 85*85 mm <sup>2</sup>	Interposer size: 4+ reticle #of HBM: 12x μ bump pitch : 25 μm Interposer C4 pitch: 125 μm Package size: 100*100 mm <sup>2</sup>	
X-Cube (TCB) 3D	Bump pitch : 25 μm Silicon Thickness: 40 μm	Bump pitch : ≤21 μm Silicon Thickness: <40 μm	 <p>μBump (TCB)</p> <p>Bumpless (HCB)</p> <p>Bandwidth Up to <b>x40~150</b> ↑ vs μBump</p> <p>Allowable Power Up to <b>30%</b> ↑ vs μBump</p> <p>• In mass production (since 2016)</p>
X-Cube (HCB) 3D	Bump pitch : 4 μm Silicon Thickness: 10 μm	Bump pitch : ≤3 μm Silicon Thickness: <10 μm	

- 英特尔希望到2030年实现单个封装中集成1万亿个晶体管的目标。
- **EMIB** (Embedded Multi-Die Interconnect Bridge)：2.5D封装技术，不含中介层，通过嵌入基板的硅桥实现芯片直接的连接。
- **Foveros**：3D封装技术，2019年推出的Lakefield首次采用Foveros封装。英特尔预计2025年3D封装产能将是2023年的4倍。



图：英特尔封装技术



## 倒装芯片球栅阵列 FCBGA 2D

- 具有单晶粒或多芯片封装 (MCP) 的复杂 FCBGA/LGA 的全球领导者。
- 直接参与基板的供应链以及内部研发 (R&D)，以优化基板技术。
- 创新的热压键合 (TCB) 工具的最大基地之一，可提高产量，减少翘曲。
- 生产验证：自2016年以来已实现大批量生产 (HVM)。



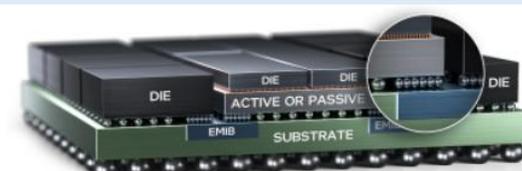
## 嵌入式多晶粒互连桥接 EMIB 2.5D

- 以高效且经济实惠的方式连接多个复杂晶粒。
- 2.5D封装，用于逻辑到逻辑和逻辑到高带宽内存 (HBM)。
- 嵌入封装基板的硅桥用于连接。
- 可扩展架构。
- 简化的供应链和组装流程。
- 生产验证：自2017年以来，利用英特尔和外部芯片进行大规模生产。



## 3D堆栈解决方案 Foveros (2.5D和3D)

- 针对性价比优化的下一代封装。
- 适用于客户端和边缘应用。
- 适用于具有多个顶端芯粒的解决方案。
- 生产验证：自2019年以来，利用主动式基础晶粒进行大规模生产。



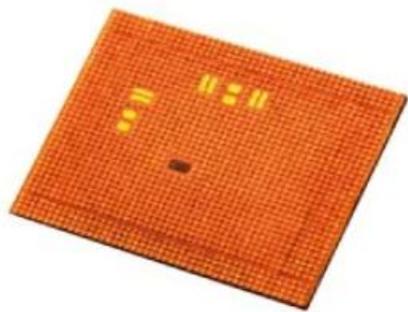
## EMIB + Foveros EMIB 3.5D

- 支持包含多种晶粒的灵活的异构系统。
- 非常适合需要在一个封装中组合多个3D堆栈的应用。
- 英特尔 Data Center GPU Max Series SoC：使用EMIB 3.5D，打造出英特尔有史以来大批量生产的最复杂的异构芯片，该芯片拥有超过1000亿个晶体管、47个活动磁贴和5个工艺节点。

## OSAT厂商发力先进封装以获取价值增量

- 2022年日月光推出VIPack先进封装平台，由六大核心技术组成，提供垂直互联集成封装解决方案。此平台利用先进的重布线层(RDL)制程、嵌入式整合以及2.5D/3D封装技术，协助客户在单个封装中集成多个芯片来实现创新未来应用。

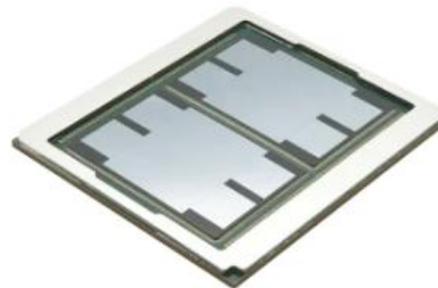
图：日月光VIPack先进封装平台的六大核心技术



FOPoP

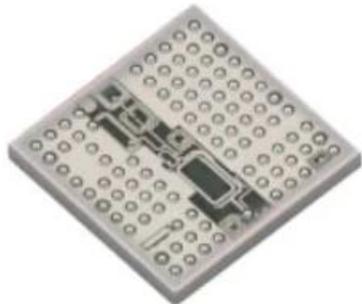


FOCoS

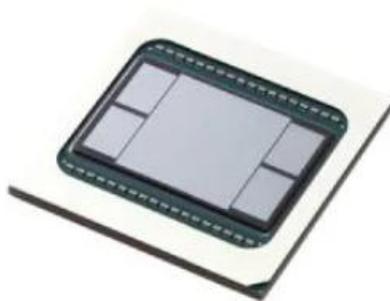


FOCoS-Bridge

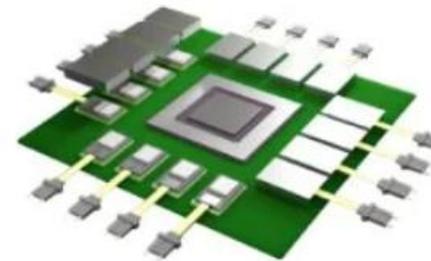
## 整合設計生態系統(IDE)



FOSiP



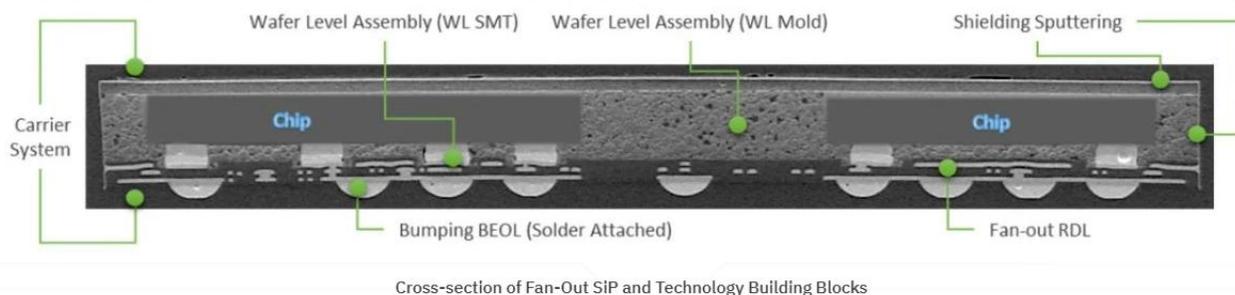
2.5D/3D



Co-Packaged Optics

# 先进封装布局——日月光

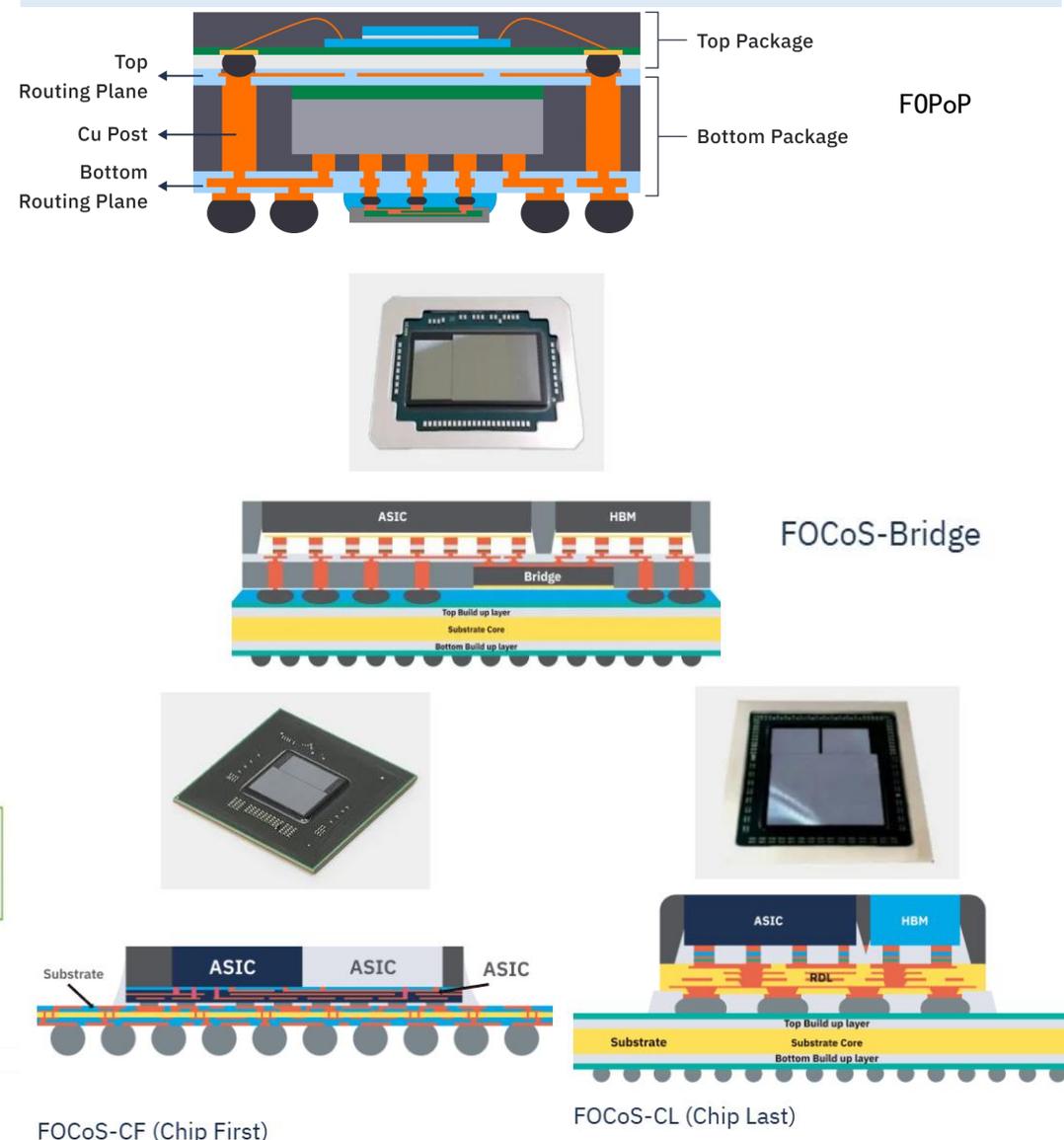
- F0CoS (Fan-Out Chip on Substrate)：可将不同的芯片封装在高脚数BGA基板上，包括F0CoS-CF (Chip First)和F0CoS-CL (Chip Last) 两种。
- F0CoS-Bridge：通过桥接硅芯片连接不同芯片。
- FOPoP (Fan-Out Package on Package)：结合扇出式底部封装和标准顶部封装，底部封装有两个RDL（顶部和底部），利用电镀铜柱实现穿模垂直互连。
- FOSiP (Fan-Out System in Package)：扇出型系统级封装。



资料来源：日月光官网，国信证券经济研究所整理

请务必阅读正文之后的免责声明及其项下所有内容

图：日月光扇外型封装技术



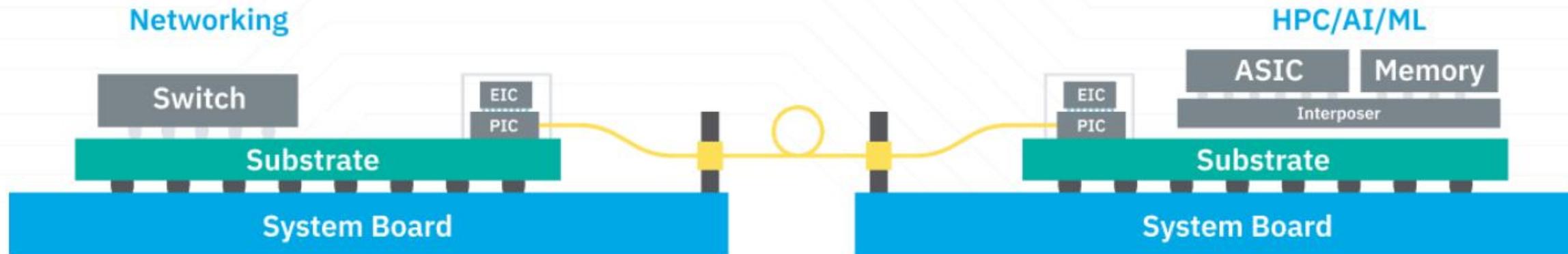
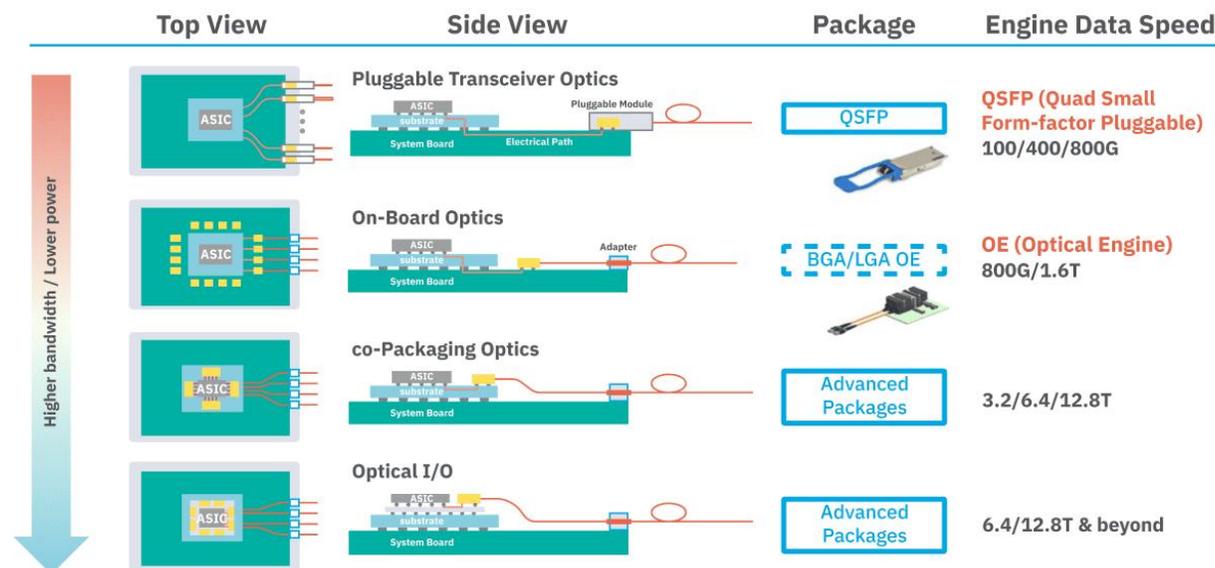
F0CoS-CF (Chip First)

F0CoS-CL (Chip Last)

# 先进封装布局——日月光

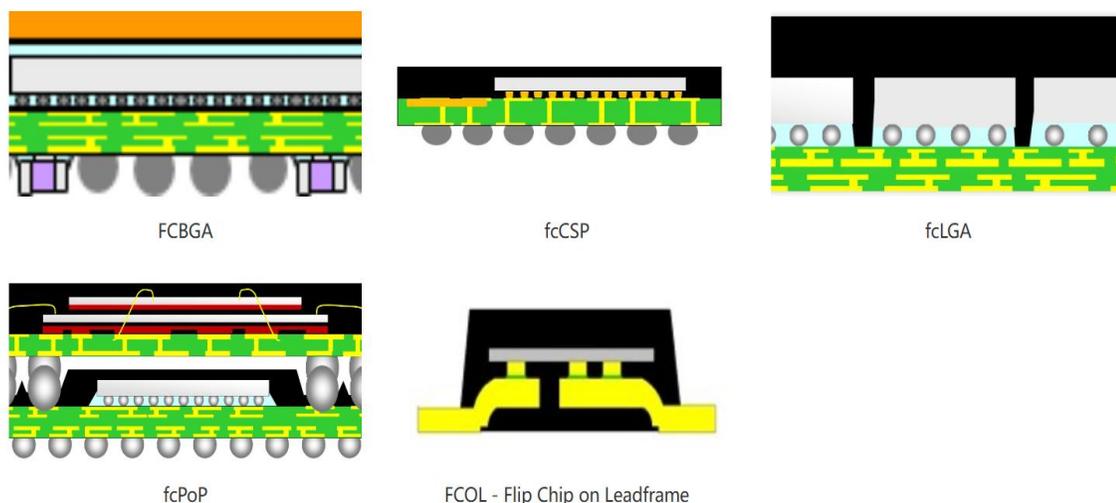
- 2.5D/3D：在2.5D结构中，两个或多个有源芯片并排放置在硅中介层上，以实现极高的芯片到芯片互连密度。在3D结构中，有源芯片采用堆叠的方式集成，以实现最短的互连和最小的封装面积。
- Co-Packaged Optics和Optical I/O：“共封装光学”和“光学I/O”有望通过高度集成的组装进一步缩短电气路径，从而提供更高的带宽，以确保比可插拔光学更好的能源效率和资本支出。

图：硅基光电子封装技术和应用

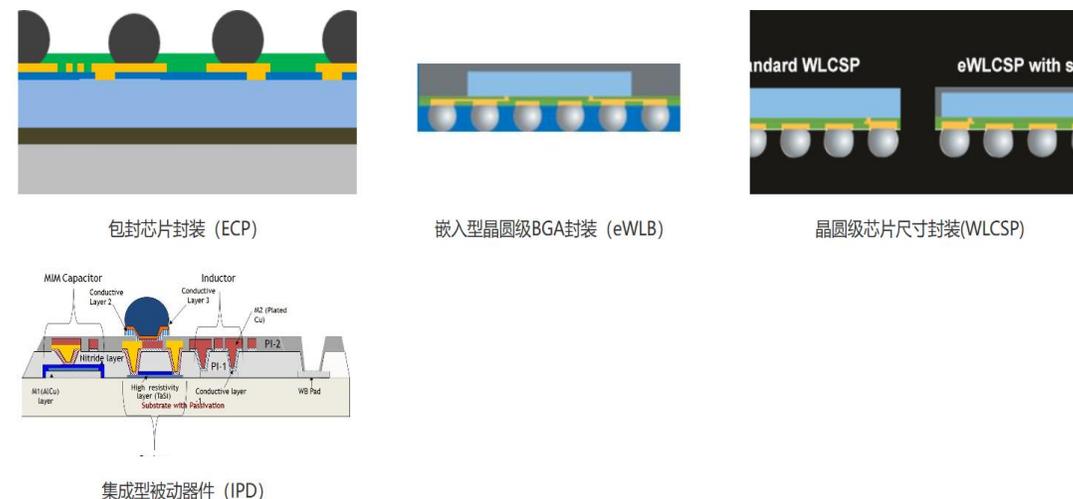


- **倒装封装技术：**长电科技提供丰富的倒装芯片产品组合，从搭载无源元器件的大型单芯片封装，到模块和复杂的先进3D封装，包含多种不同的低成本创新选项。长电科技提供从设计到生产的全方位一站式倒装芯片服务，包括高速、高引脚数的数字和射频测试。
- **晶圆级封装技术：**长电科技提供的晶圆级技术解决方案包括扇入型晶圆级封装（FIWLP）、扇外型晶圆级封装（FOWLP）、集成无源器件（IPD）、硅通孔（TSV）、包封芯片封装（ECP）、射频识别（RFID）。长电科技的创新晶圆级制造方法称为FlexLine™方法，为客户提供了不受晶圆直径约束的自由，同时实现了传统制造流程无法实现的供应链简化和成本降低。

图：长电科技倒装封装技术



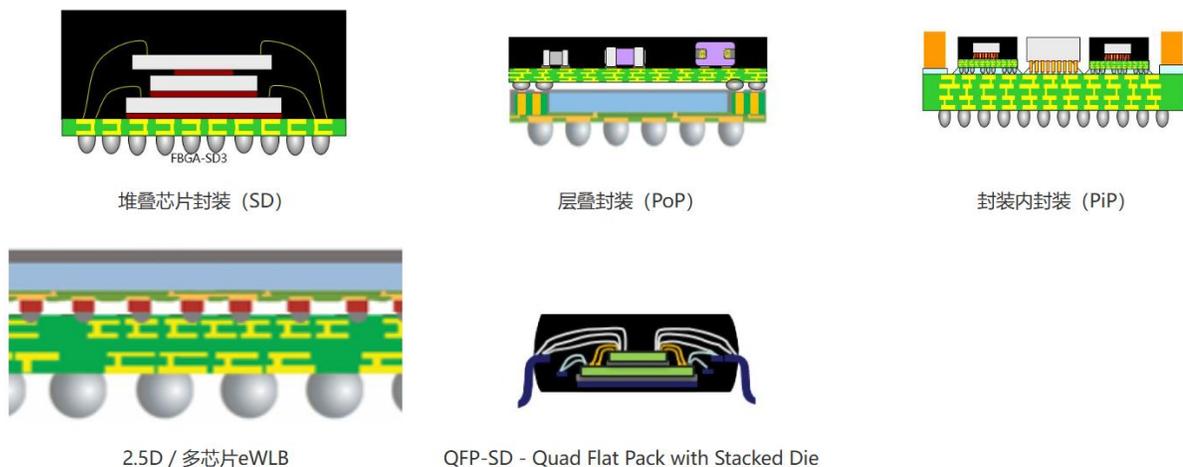
图：长电科技晶圆级封装技术



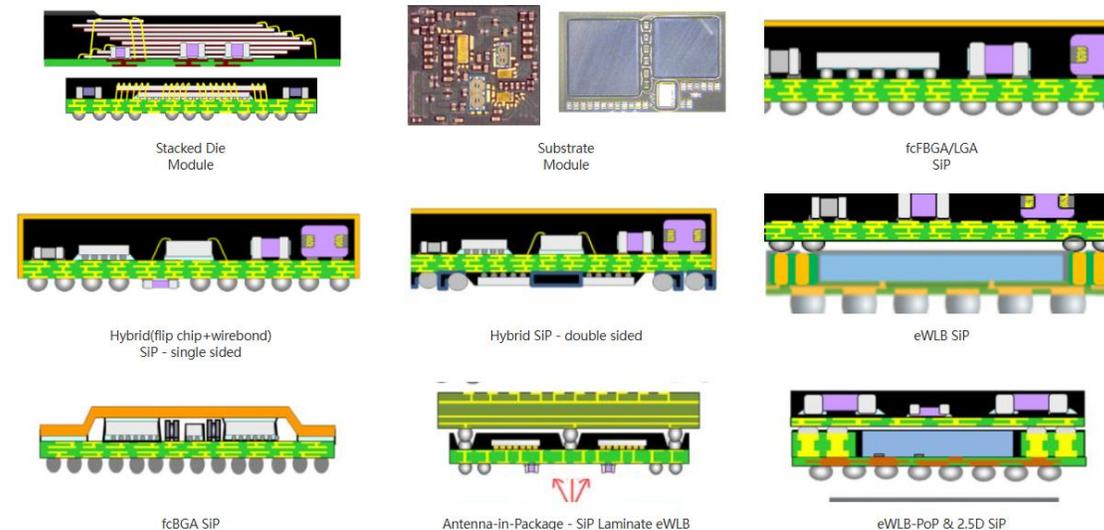
● **2.5D/3D集成技术**：长电科技积极推动传统封装技术的突破，率先在晶圆级封装、倒装芯片互连、硅通孔等领域中采用多种创新集成技术，以开发差异化的解决方案，推出的2.5D/3D集成解决方案包括堆叠芯片封装、层叠封装、封装内封装、2.5D/多芯片eWLB和QFP-SD等。

● **系统级封装技术**：长电科技在SiP封装的优势体现在3种先进技术：1、双面塑形技术，有效地降低了封装的外形尺寸，缩短了多个裸芯片和无源器件的连接，降低了电阻，并改善了系统电气性能；2、EMI电磁屏蔽技术，使用背面金属化技术来有效地提高热导率和EMI屏蔽；3、激光辅助键合（LAB）技术，使用激光辅助键合来克服传统的回流键合问题，例如CTE不匹配，高翘曲，高热机械应力等导致可靠性问题。

图：长电科技2.5D/3D集成技术

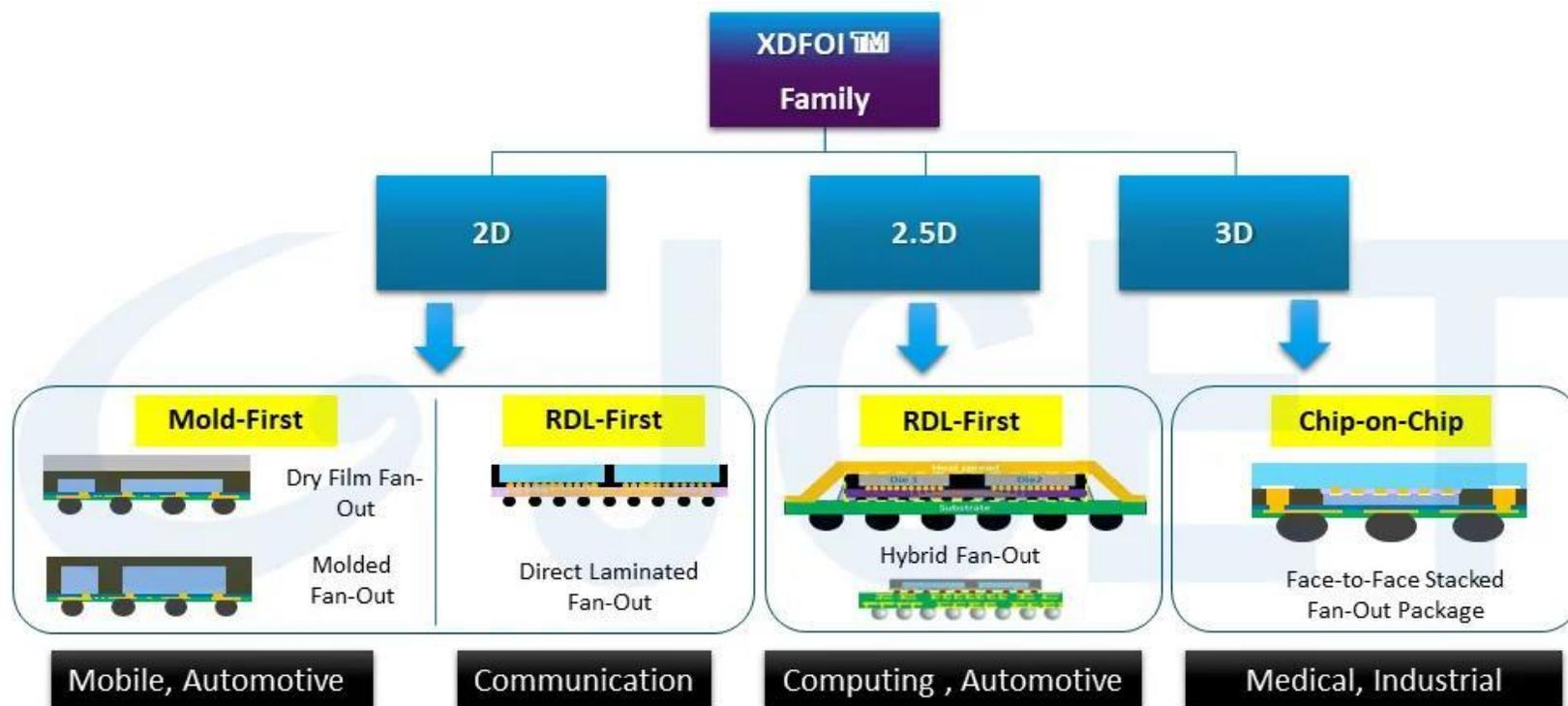


图：长电科技系统级封装技术



- 2021年长电科技集合长期各项先进封装技术积累，正式推出面向Chiplet的高密度多维异构集成技术平台XDFOI™，利用协同设计理念实现了芯片成品集成与测试一体化，涵盖2D、2.5D、3D Chiplet集成技术。
- 2023年1月长电科技宣布其XDFOI™ Chiplet高密度多维异构集成系列工艺已按计划进入稳定量产阶段，同步实现国际客户4nm节点多芯片系统集成封装产品出货，最大封装体面积约为1500mm<sup>2</sup>的系统级封装。

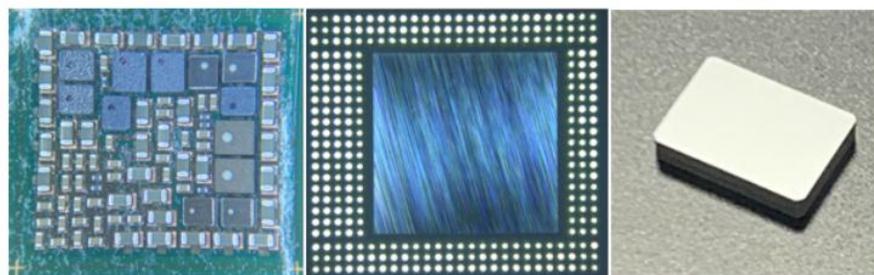
图：长电科技XDFOI Chiplet异构集成解决方案



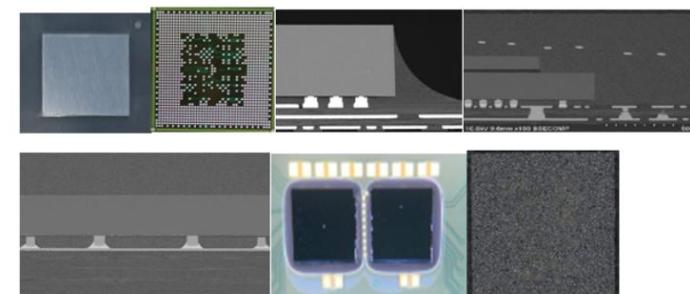
- 2021年公司在高性能计算领域建成了2.5D/3D封装平台（VISIONS）及超大尺寸FCBGA研发平台。截至2023年底，通富微电超大尺寸2D+封装技术、3D堆叠封装技术、大尺寸多芯片chip last封装技术已验证通过；SiP产品方面实现国内首家WB分腔屏蔽技术研发及量产；通过高导热材料开发满足FCBGA大功率产品高散热需求。
- 通富微电将大力投资2D+等先进封装研发，积极拉通Chiplet市场化应用，提前布局更高品质、更高性能、更先进的封装平台，不断强化与客户的深度合作，拓展先进封装产业版图。

图：通富微电先进封装技术

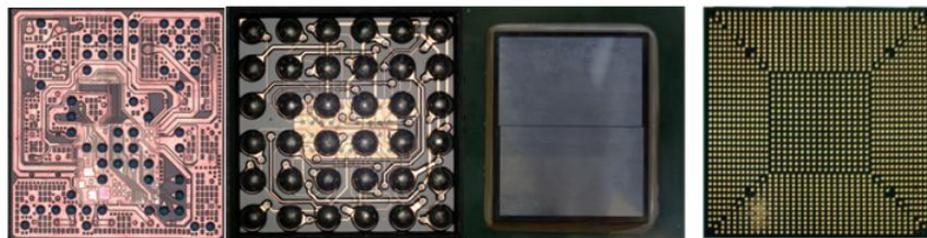
## SiP Technology



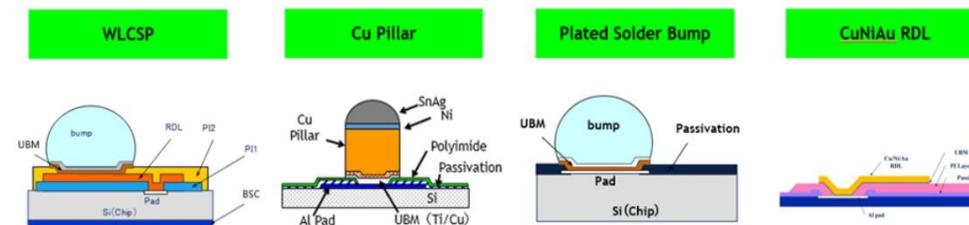
## FCCSP Technology



## FO Technology



## WLP Technology

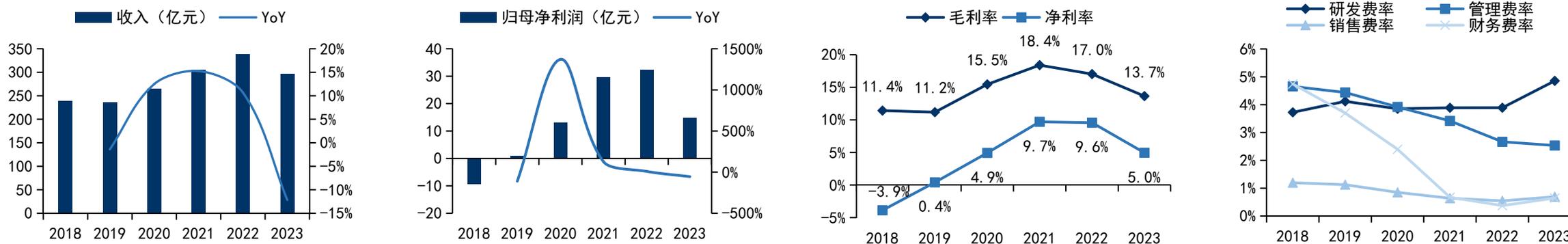


## 先进封装标的推荐

# 长电科技：全球第三大OSAT厂商，全面布局先进封装

- 全球第三大OSAT厂商，拥有六大生产基地。长电科技成立于1972年，2015年成功收购星科金朋，目前是全球第三大OSAT厂商，在中国、韩国和新加坡设有六大生产基地和两大研发中心，在20多个国家和地区设有业务机构，可与全球客户进行紧密的技术合作并提供高效的产业链支持，产品、服务和技术涵盖了主流集成电路系统应用，包括网络通讯、移动终端、高性能计算、车载电子、大数据存储、人工智能与物联网、工业智造等领域。
- 2024年3月，公司拟以6.24亿美元现金收购晟碟半导体（上海）80%股权，加大先进闪存存储产品封装和测试产能布局的同时，进一步增强与全球存储巨头西部数据的合作关系，或将受益于存储芯片需求提升。2024年上半年设计服务事业部成功完成复杂的先进封装设计和Chiplet仿真项目，并顺利交付给战略关键客户。
- 2Q24实现收入86.45亿元（YoY +36.9%，QoQ +26.3%），归母净利润4.84亿元（YoY +25.5%，QoQ +258%），扣非归母净利润4.74亿元（YoY +46.9%，QoQ +340%），毛利率为14.28%（YoY -0.8pct，QoQ +2.1pct）。

图：长电科技主要财务数据



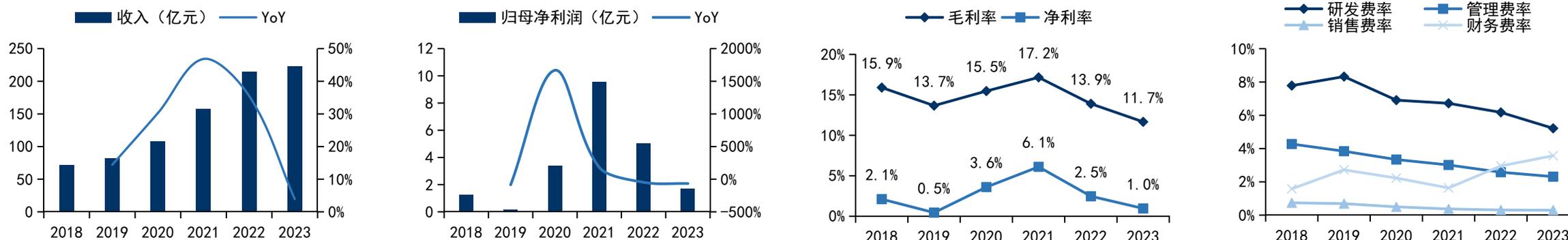
资料来源：Wind，长电科技公告，国信证券经济研究所整理

请务必阅读正文之后的免责声明及其项下所有内容

# 通富微电：全球第四大OSAT厂商，AMD最大封测供应商

- **全球第四大OSAT厂商，AMD最大封测供应商。**通富微电成立于1994年，2016年收购AMD苏州、槟城两厂85%股权，目前是全球第四大OSAT厂商，在南通、合肥、厦门、苏州、马来西亚槟城拥有七大生产基地，为全球客户提供快速和便捷的服务，产品、技术、服务全方位涵盖网络通讯、移动终端、家用电器、人工智能和汽车电子等领域。另外，公司是AMD最大的封测供应商，占其订单总数的80%以上，将随其业务成长而受益。
- **升级大尺寸多芯片Chiplet封装技术，16层芯片堆叠封装产品大批量出货。**2024年上半年公司对大尺寸多芯片Chiplet封装技术升级，新开发了Corner fill、CPB等工艺，增强对chip的保护；启动基于玻璃芯基板和玻璃转接板的FCBGA芯片封装技术，目前已完成初步验证；16层芯片堆叠封装产品大批量出货。
- **2Q24营收57.98亿元 (YoY +10.1%，QoQ +9.8%)，归母净利润2.24亿元 (YoY +217%，QoQ +128%)，毛利率为16.00% (YoY +4.7pct，QoQ +3.9pct)。**公司2024年营收目标为252.80亿元，同比增长13.52%。

图：通富微电主要财务数据



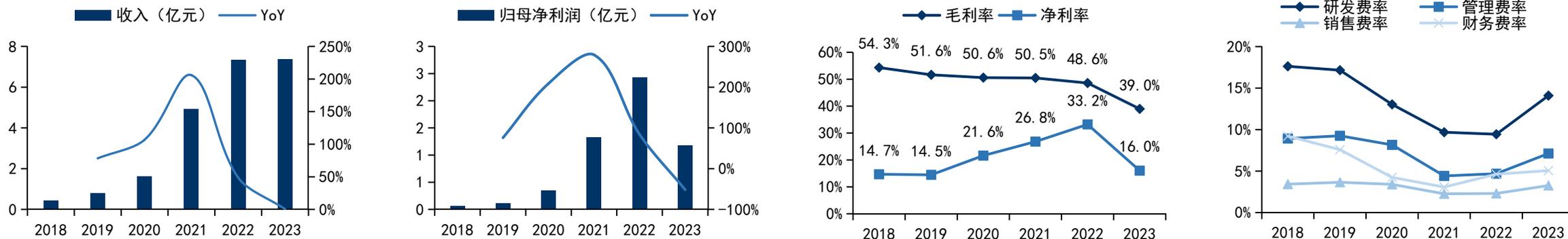
资料来源：Wind，通富微电公告，国信证券经济研究所整理

请务必阅读正文之后的免责声明及其项下所有内容

# 伟测科技：第三方集成电路测试企业，先进封装推动测试需求

- 聚焦高算力芯片、先进架构及先进封装芯片、高可靠性芯片的测试需求，客户数量200余家。伟测科技成立于2016年，是独立的第三方集成电路测试企业，主营业务包括晶圆测试、芯片成品测试以及与集成电路测试相关的配套服务，坚持“以中高端晶圆及成品测试为核心，积极拓展工业级、车规级及高算力产品测试”的发展策略，聚焦高算力芯片（CPU、GPU、AI、FPGA）、先进架构及先进封装芯片（SoC、Chiplet、SiP）、高可靠性芯片（车规级、工业级）的测试需求。目前客户数量200余家，涵盖芯片设计、制造、封装、IDM等类型的企业。
- Chiplet增加测试需求和难度。Chiplet将一颗大SoC芯片拆分成多个芯粒，众多芯粒的测试需要在晶圆阶段完成，这需要更多的探针来同时完成测试，同时其相较于测试完整芯片难度更大。公司聚焦高端芯片测试，需求和价值量均有望受益。
- 2Q24实现收入2.46亿元 (YoY +43%，QoQ +34%)，归母净利润1116万元 (YoY -74%，QoQ +3751%)，毛利率为30.06% (YoY -8.7pct，QoQ +3.5pct)。

图：通富微电主要财务数据



资料来源：Wind，伟测科技公告，国信证券经济研究所整理

请务必阅读正文之后的免责声明及其项下所有内容

- 一、**国产替代进程不及预期。**国内半导体企业相比海外半导体大厂起步较晚，在技术和人才等方面存在差距，在国产替代过程中产品研发和客户导入进程可能不及预期。
- 二、**下游需求不及预期。**全球电子产品等终端需求可能不及预期，从而导致对半导体产品需求量减少。
- 三、**行业竞争加剧的风险。**在政策和资本支持下，国内半导体企业数量较多，在部分细分市场可能出现竞争加剧的风险，从而影响企业盈利能力。
- 四、**国际关系发生不利变化的风险。**我国半导体产业链在部分环节需要依赖海外厂商，若未来国际关系发生不利变化，可能对半导体产业链运营产生重大影响。

## 国信证券投资评级

投资评级标准	类别	级别	说明
报告中投资建议所涉及的评级（如有）分为股票评级和行业评级（另有说明的除外）。评级标准为报告发布日后6到12个月内的相对市场表现，也即报告发布日后的6到12个月内公司股价（或行业指数）相对同期相关证券市场代表性指数的涨跌幅作为基准。A股市场以沪深300指数（000300.SH）作为基准；新三板市场以三板成指（899001.GSI）为基准；香港市场以恒生指数（HSI.HI）作为基准；美国市场以标普500指数（SPX.GI）或纳斯达克指数（IXIC.GI）为基准。	股票投资评级	优于大市	股价表现优于市场代表性指数10%以上
		中性	股价表现介于市场代表性指数±10%之间
		弱于大市	股价表现弱于市场代表性指数10%以上
		无评级	股价与市场代表性指数相比无明确观点
	行业投资评级	优于大市	行业指数表现优于市场代表性指数10%以上
		中性	行业指数表现介于市场代表性指数±10%之间
		弱于大市	行业指数表现弱于市场代表性指数10%以上

### 分析师承诺

作者保证报告所采用的数据均来自合规渠道；分析逻辑基于作者的职业理解，通过合理判断并得出结论，力求独立、客观、公正，结论不受任何第三方的授意或影响；作者在过去、现在或未来未就其研究报告所提供的具体建议或所表述的意见直接或间接收取任何报酬，特此声明。

### 重要声明

本报告由国信证券股份有限公司（已具备中国证监会许可的证券投资咨询业务资格）制作；报告版权归国信证券股份有限公司（以下简称“我公司”）所有。本报告仅供我公司客户使用，本公司不会因接收人收到本报告而视其为客户。未经书面许可，任何机构和个人不得以任何形式使用、复制或传播。任何有关本报告的摘要或节选都不代表本报告正式完整的观点，一切须以我公司向客户发布的本报告完整版本为准。

本报告基于已公开的资料或信息撰写，但我公司不保证该资料及信息的完整性、准确性。本报告所载的信息、资料、建议及推测仅反映我公司于本报告公开发布当日的判断，在不同时期，我公司可能撰写并发布与本报告所载资料、建议及推测不一致的报告。我公司不保证本报告所含信息及资料处于最新状态；我公司可能随时补充、更新和修订有关信息及资料，投资者应当自行关注相关更新和修订内容。我公司或关联机构可能会持有本报告中所提到的公司所发行的证券并进行交易，还可能为这些公司提供或争取提供投资银行、财务顾问或金融产品等相关服务。本公司的资产管理部门、自营部门以及其他投资业务部门可能独立做出与本报告意见或建议不一致的投资决策。

本报告仅供参考之用，不构成出售或购买证券或其他投资标的的要约或邀请。在任何情况下，本报告中的信息和意见均不构成对任何个人的投资建议。任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。投资者应结合自己的投资目标和财务状况自行判断是否采用本报告所载内容和信息并自行承担风险，我公司及雇员对投资者使用本报告及其内容而造成的一切后果不承担任何法律责任。

### 证券投资咨询业务的说明

本公司具备中国证监会核准的证券投资咨询业务资格。证券投资咨询，是指从事证券投资咨询业务的机构及其投资咨询人员以下列形式为证券投资人或者客户提供证券投资分析、预测或者建议等直接或者间接有偿咨询服务的活动：接受投资人或者客户委托，提供证券投资咨询服务；举办有关证券投资咨询的讲座、报告会、分析会等；在报刊上发表证券投资咨询的文章、评论、报告，以及通过电台、电视台等公众传播媒体提供证券投资咨询服务；通过电话、传真、电脑网络等电信设备系统，提供证券投资咨询服务；中国证监会认定的其他形式。

发布证券研究报告是证券投资咨询业务的一种基本形式，指证券公司、证券投资咨询机构对证券及证券相关产品的价值、市场走势或者相关影响因素进行分析，形成证券估值、投资评级等投资分析意见，制作证券研究报告，并向客户发布的行为。



国信证券

GUOSEN SECURITIES

## 国信证券经济研究所

---

### 深圳

深圳市福田区福华一路125号国信金融大厦36层

邮编：518046      总机：0755-82130833

### 上海

上海浦东民生路1199弄证大五道口广场1号楼12楼

邮编：200135

### 北京

北京西城区金融大街兴盛街6号国信证券9层

邮编：100032